

CMOS ohne Dotierstoffe: Neuartige siliziumbasierte Nanodraht- Feldeffekt-Bauelemente

Frank Wessely
2011



TECHNISCHE
UNIVERSITÄT
DARMSTADT



INSTITUT für IHTN
HALBLEITERTECHNIK
und NANOELEKTRONIK

CMOS ohne Dotierstoffe: Neuartige siliziumbasierte Nanodraht-Feldeffekt-Bauelemente

Vom Fachbereich Elektrotechnik und Informationstechnik
der Technischen Universität Darmstadt
zur Erlangung des akademischen Grades eines
Doktor-Ingenieurs (Dr.-Ing.)
genehmigte Dissertation

von

Dipl.-Ing. Frank Wessely

Geboren am 18.08.1978 in Seeheim-Jugenheim

Referent: Prof. Dr. rer. nat. Udo Schwalke
Korreferent: Prof. Dr.-Ing. Wolfgang Krautschneider

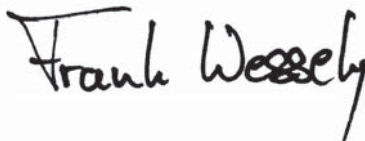
Tag der Einreichung: 31.03.2011
Tag der mündlichen Prüfung: 29.06.2011



Erklärung zur Dissertation laut §9 PromO

Ich versichere hiermit, dass ich die vorliegende Dissertation allein und nur unter Verwendung der angegebenen Literatur verfasst habe. Die Arbeit hat bisher noch nicht zu Prüfungszwecken gedient.

Darmstadt, den 31.03.2011

A handwritten signature in black ink, reading "Frank Wessely". The signature is written in a cursive style with a large initial 'F' and a long, sweeping underline.

Dipl.-Ing. Frank Wessely



Kurzfassung

Seit Beginn der Ära mikroelektronischer Schaltungen auf Siliziumbasis Ende der 1960er Jahre wurde bis dato durch geometrische Skalierung der Bauelement-Geometrie die Performanz von MOSFETs stetig verbessert. Das allmähliche Erreichen der nanoskaligen Grenzen dieses Skalierungsansatzes macht es notwendig nach alternativen, die Effizienz steigernden Ansätzen, oder gar alternativen Bauelementen zu forschen, die in Zukunft einen Ersatz für die konventionelle MOSFET Technologie darstellen könnten. Konventionelle integrierte Schaltungen in CMOS Technik werden mit vordefinierten Transistoren - nämlich PMOS und NMOS - durch Verbindung mit Leiterbahnen auf dem Substrat definiert. Die Definition, ob ein PMOS oder ein NMOS Transistor vorliegt, wird bereits während der Herstellung der integrierten Schaltung durch Festlegung von Dotierstoffgebieten vorbestimmt. Der entstandene Transistortyp kann im Anschluss an den Fertigungsprozess nicht mehr verändert werden. Die im Verlauf dieser Arbeit hergestellten völlig neuartigen Nanodraht-Feldeffekt-Transistoren (NDFET) hingegen kennen eine solche Beschränkung nicht, hier ist der Transistortyp durch Anlegen einer Spannung an einem zusätzlichen Anschluss am Bauelement frei wählbar. So kann ein einziger NDFET je nach Beschaltung des zusätzlichen Anschlusses entweder als PMOS oder als NMOS funktionieren. Diese Auswahlmöglichkeit ist reversibel, sodass rekonfigurierbare Logik im wahrsten Sinne des Wortes direkt und so oft wie nötig durch Anlegen einer Selektionsspannung möglich wird. Dieses Konzept wird, dem Wissen des Autors nach, auf Basis von konventioneller Siliziumplanartechnik auf handelsüblichem *Silicon-on-Insulator*-Substraten weltweit zum ersten Mal vorgestellt. Die den Bauelementen zugrunde liegende Technologie ist dabei vollständig kompatibel zur konventionellen Siliziumplanartechnik. Besonders hervorzuheben ist hierbei die vollständige Unabhängigkeit der Technologie von jeglichen Dotierungsverfahren. Die Bauelemente werden auf einem handelsüblichen, niedrig P-Typ dotierten *SOI*-Substrat hergestellt. Die entwickelten Bauelemente können als zwei ineinandergreifende Transistoren beschrieben werden. Der durch das Backgate gesteuerte Transistor ist in Verbindung mit 'mid-gap' Schottky Barrieren an Source und Drain für die Bereitstellung des Ladungsträgertyps, für NMOS oder PMOS zuständig, - ergo die Wahl eines Löcher- oder eines Elektronenkanals. Der zweite Transistor steuert den Stromfluss zwischen Source und Drain, über einen vorderseitigen Gateanschluss. Eine umfassende elektrische Charakterisierung der einzelnen NDFETs wurde durchgeführt, um die Funktionsweise und den im Bauelement vorherrschenden Leitungsmechanismus analytisch zu beschreiben. Unterschwellensteigungen ausgewählter Bauelemente von $S_{P/N-NDFET} = 62\text{mV/dec}$ zeigen, dass die Bauelemente Anforderungen moderner Schaltungen gewachsen sind. Weiterhin kann eine bemerkenswert geringe Temperaturabhängigkeit wesentlicher Bauelement-Parameter beobachtet werden, die von der Unabhängigkeit von klassischen PN-Übergängen im gewählten Design

resultiert. Die aus der Wahlmöglichkeit des Substrates entstehende Versatilität der Bauelemente kann für den Einsatz in Anwendungen zukünftiger rekonfigurierbarer Logik verwendet werden. Ein frei konfigurierbarer CMOS-NDFET Inverter soll den Funktionsbeweis für diese Einsatzfähigkeit liefern. Dieser Funktionsbeweis wurde schlussendlich in einer Inverterschaltung mit CMOS-NDFETs als Demonstrator gezeigt.

Abstract

Since the beginning of the era of silicon based microelectronic circuits in the 1960's, the geometric scaling of the metal-oxide-semiconductor field-effect-transistor (MOSFET) was the driving force to raise the performance of devices to higher levels. Nowadays, as the physical limits of the nanoscaled devices are approached, alternative device architectures, or perhaps even a new class of devices has to be invented to circumvent these limitations and further increase performance and efficiency. In conventional complementary metal-oxide-semiconductor (CMOS) technology MOSFETs are defined on the silicon substrate and wiring connects these devices to form digital integrated circuits. The conventional MOSFET type - e.g. PMOS or NMOS - is pre-defined by means of substrate and source/drain region doping. As a result, the transistor type is permanently fixed and can not be changed. However, Nanowire-FETs (NDFETs) fabricated in this work do not suffer from this technological constraint, since the NDFET is freely configurable by the application of a select-bias. In fact a single NDFET can work as either PMOS (P-NDFET) or NMOS (N-NDFET) alike. This flexibility literally enables reconfigurable logic, since the selection is reversible and therefore the transistor type may be changed as often as needed. To the best knowledge of the author this concept is demonstrated for the first time using a standard CMOS compatible fabrication technology on *silicon-on-insulator*-substrates (SOI). The proposed technology is completely independent of dopants and therefore circumvents problems arising due to statistic dopant fluctuation. The proposed architecture is realized on conventional SOI-substrate. The device can be described as a superposition of two field-effect transistors in parallel, whereas the device is defined by the backgate-control and the frontgate field-effect, respectively. The backgate-transistor provides the charge-carrier type of the device (P-NDFET or N-NDFET) modulating mid-gap Schottky-barriers at the source and drain contact. Thus the backgate determines whether holes (like PMOS) or electrons (like NMOS) form the channel. The second transistor controls the current flowing through the active area of the device in a tri-gate configuration. Comprehensive electrical characterization of single NDFETs was performed to analyse the charge carrier transport mechanisms in the NDFET channel. Subthreshold-slopes of down to $S_{\text{PN-NDFET}} = 62\text{mV}/\text{dec}$ show that the devices are suitable candidates to substitute conventional MOSFETs in future logic circuits. Moreover a remarkably low temperature dependence of the device parameters is observed, resulting from the devices use of Schottky-barriers instead of classical PN-junctions forming source and drain. A CMOS-NDFET inverter circuit is demonstrated to emphasize on this flexibility with a prototype logic-circuit. The versatility of the device can be used in future reconfigurable logic circuits to improve flexibility in the design flow.



Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen	5
2.1	<i>Silicon-on-Insulator</i> -Material	7
2.2	Herstellungsverfahren für <i>SOI</i> -Material	8
2.2.1	Anfänge der <i>SOI</i> -Technologie	8
2.2.2	Aktuelle Herstellungstechnologien	10
2.2.3	Bauelement-Layout auf <i>SOI</i>	14
2.3	Der Metall-Halbleiter-Kontakt	15
2.4	Der MOS-Kondensator	19
2.4.1	<i>SOI</i> -MOS-Kondensator	19
2.5	<i>SOI</i> -MOSFET	22
2.5.1	Schwellspannung V_T	23
2.5.2	P-Typ Akkumulationsbetrieb-MOSFET	24
2.6	Doppel- / Mehrfach-Gate MOSFET	26
2.7	Schottky Source/Drain-Dioden MOSFET	27
2.7.1	Überlappung der Gateelektrode	28
2.8	Logik-Schaltung: Inverter	29
2.9	Grundzüge der Technologie integrierter Schaltungen	31
2.9.1	Prinzip der Strukturübertragung	31
2.9.2	UV-Lithographie	31
2.9.3	Elektronenstrahlolithographie	33
2.9.4	Ätztechnik	37
2.9.5	Metallisierung	40
3	Herstellung von Silizium-Nanodrähten	43
3.1	Vorbereitende Untersuchungen - Materialwahl und Vorversuche	45

3.1.1	Substratmaterial	45
3.1.2	Voruntersuchungen zur Prozessierbarkeit von <i>SOI</i> -Wafern	46
3.1.3	Elektrische Charakterisierung der Prozesslinien-Vorläufer	48
3.2	Sub-100nm Elektronenstrahlolithographie	53
3.2.1	Präparation der Substrate	53
3.2.2	Justagemarken: Materialwahl	53
3.2.3	Grabenförmige Justagemarken (Trench-Justagemarken)	55
3.2.4	Justagemarkenmaske T57	56
3.3	Design und Layout der Nanodrähte auf <i>SOI</i> -Substrat	58
3.3.1	Layouterstellung	58
3.3.2	Übertragung der Layoutebenen auf die <i>SOI</i> -Substrate	59
3.4	Topographische Charakterisierung der Nanodraht-Bauelemente	65
3.4.1	Charakterisierung der vertikalen Topographiestufen mit Rasterkraftmikroskopie (<i>AFM</i>)	65
3.4.2	Charakterisierung der lateralen Bauelementabmessungen mit Rasterelektronenmikroskopie (<i>REM</i>)	68
4	Elektrische Charakterisierung von Silizium-Nanodrähten und Nanodraht-FETs auf <i>SOI</i>-Substraten	71
4.1	Messaufbau	73
4.1.1	Elektrische Charakterisierung	75
4.2	Nanodrähte mit Backgatesteuerung: Bauelemente der ersten Generation	75
4.3	Nanodrähte mit Back- und Frontgatekontakt: Bauelemente ab der zweiten Generation	77
4.3.1	Backgateeinfluss bei unkontaktierter Frontgateelektrode	77
4.3.2	Simulation zum Mechanismus der Backgatesteuerung des NDFET	81
4.3.3	Leitungsmechanismus des backgategesteuerten NDFET	86
4.4	Frontgatesteuerung in Kombination mit Backgatesteuerung: CMOS-NDFETs	87
4.4.1	3D Simulation zur detaillierten Untersuchung des CMOS-NDFET Verhaltens	92
4.4.2	Ausgangskennlinien der CMOS-NDFETs	96
4.4.3	Variation der Nanodraht Geometrie - laterale und vertikale Skalierung	99
4.4.4	Source/Drain Schottky-Dioden Austrittsarbeit	101
4.4.5	Einstellbarkeit der Unterswellensteigung	103
4.4.6	Parallelisierbarkeit der NDFETs	106
4.4.7	Temperaturfestigkeit der NDFETs	107

5	Verwendung der Nanodraht-FETs in spannungs-selektiven CMOS Schaltungen	113
5.1	Layoutdesign für spannungs-selektive NDFET-CMOS Logikanwendungen	115
5.2	Aufbau der Messplattform für spannungs-selektive Logik	117
5.3	Elektrische Charakterisierung eines frei konfigurierbaren Nanodraht-Inverters	118
6	Zusammenfassung und Ausblick	125
6.1	Zusammenfassung	127
6.2	Ausblick	128
	Anhang A	131
	Anhang B	133
	Danksagung	137
	Liste der Publikationen und Konferenzbeiträge	139
	Literaturverzeichnis	144
	Lebenslauf	153



Abkürzungsverzeichnis

AFM	atomic force microscope
AMOSFET	Akkumulations-Typ Feldeffekttransistor
BG	Backgate
BHF	gepufferte Flusssäure
BOX	Buried Oxide
CMOS	Complementary Metal-Oxide-Semiconductor Technology
CMP	Chemisch Mechanisches Polieren
CVD	chemical vapour deposition
DIBL	drain induced barrier lowering
EBL	Elektronenstrahlholographie
FD	fully depleted <i>SOI</i>
FE	Feld Emission
FG	Frontgate
Tri-Gate	Feldeffekttransistor mit verbessertem Gatefeld-Kanaldurchgriff
FLP	fermlevel pinning
FUSI	fully silicided
GAA	gate-all-around
GND	Masse-/Erdpotential
LDD	lightly doped drain
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NDFET	Nanodraht Feldeffekt Transistor
NMOS	N-Typ Feldeffekttransistor
PD	partially depleted <i>SOI</i>
PMOS	P-Typ Feldeffekttransistor
REM	Rasterelektronenmikroskop
RLZ	Raumladungszone
S	Unterswellensteigung
Si	Silizium
SBFET	Schottky-Barrieren MOSFET
SIMOX	separation by implantation of oxygen
SOI	silicon on insulator
TE	Tunnel Emission
TFE	Tunnel Feld Emission
Top-Si	Oberste Siliziumschicht eines <i>SOI</i> -Wafers
UNIBOND	Markenname der Firma Soitec
XSEM	hochauflösendes Querschnitts REM-Bild



Symbolverzeichnis

A	Fläche
A_f	Anisotropiefaktor
C_x	Kapazität des Materials x
χ_s	Elektronenaustrittsarbeit ins Vakuumniveau
E_C	Leitungsband-Energie
$E_{f,x}$	Ferminiveau des Materials x
E_i	Ferminiveau für intrinsisches Silizium
E_x	Energie
E_V	Valenzband-Energie
ϵ_0	Dielektrizitätskonstante des Vakuums
ϵ_r	relative Dielektrizitätskonstante
f	Frequenz
$I_{x,y}$	Strom der zwischen x und y fließt
L_x	Länge von x
m	Masse
N_x	Konzentration von x
ϕ_M	Austrittsarbeit eines Metalls
$\phi_{B,x}$	Potentialbarriere für Ladungsträgertyp x
ϕ_F	Dotierungspotential des Siliziums
ϕ_{SF}	Dotierungspotential des Halbleiters
q	Elementarladung
S_x	Unterswellensteigung von x
V_{BG}	Backgatespannung
V_{CC}	Versorgungsspannung niedriges Potential
V_D	Drainspannung
V_{DD}	Versorgungsspannung hohes Potential
V_{DS}	Drain/Source-Spannung
V_{FG}	Frontgatespannung
V_G	Gatespannung
V_{IN}	Eingangsspannung
V_{OUT}	Ausgangsspannung
V_S	Source Spannung
V_T	Schwellenspannung
V_{th}	Thermospannung
W_x	Weite von x



Abbildungsverzeichnis

2.1	Schematischer Ablauf des SIMOX Prozesses	10
2.2	Schematischer Ablauf des <i>SOI</i> Wafer Bonding	12
2.3	Schematischer Ablauf des SmartCut Prozesses	13
2.4	Vergleich Bulk-Si-MOSFET vs. <i>SOI</i> -MOSFET	14
2.5	Bänderdiagramm eines Schottky-Kontaktes	15
2.6	Valenzband eines Schottky-Kontaktes	16
2.7	MOS-Kondensator in Verarmung, Banddiagramm	20
2.8	Banddiagramme von Bulk-Si und <i>SOI</i> im Vergleich	21
2.9	MOSFET Typen auf <i>SOI</i>	22
2.10	Potentialverlauf in einer FD- <i>SOI</i> Struktur	23
2.11	Ausgangskennlinie und Kanalbereich eines AMOSFET	25
2.12	Querschnitt eines Tri-Gate und Π -Gate <i>SOI</i> -MOSFET	26
2.13	Querschnitt durch einen SBFET	28
2.14	Querschnitt durch den Kanalbereich eines SBFET	28
2.15	Schematischer Aufbau eines Inverters	29
2.16	Querschnitt eines CMOS-Inverters auf <i>SOI</i>	30
2.17	Grundzüge der Lithographie	32
2.18	Monte Carlo Simulation eines Elektronenstrahles bei EBL	34
2.19	Schematischer Querschnitt eines EBL-Systems	35
2.20	Photographie des EBL-Systems.	36
2.21	Anisotropie und Selektivität eines Ätzprozesses	38
2.22	Photo und schematischer Querschnitt durch einen ICP-RIE Reaktor	39
2.23	Schema eines Lift-off Prozesses	42
3.1	Schnittplan für 8 Zoll <i>SOI</i> -Substrate.	46
3.2	Schematischer Ablauf des Prozessablaufs der Charge QD	48
3.3	TSuprem4-Simulation der Ionenimplantation für Vorversuche.	49
3.4	Messaufbau zur Charakterisierung der Vorläufer QD.	49
3.5	Ausgangskennlinienschar der Charge QD3.	50
3.6	Unterschwelkenennlinie der Charge QD5.	52
3.7	Querschnitt durch eine Trench-Justagemarke.	56
3.8	Layout der Maske T57.	57
3.9	Wafer mit Justagemarkenlithographie.	57
3.10	Querschnitt durch einen Nanodraht.	58
3.11	Probenstromverlauf einer kalten Kathode	60
3.12	Mikrograph und REM Aufnahme des Lift-Off Unterschnittes.	63
3.13	AFM-Abtastung der Nanodrähte.	66

3.14 S/D-Gebiete der Nanodrähte in Vergrößerung.	66
3.15 Fehlerhafte Strukturbreitenbestimmung mittels AFM	67
3.16 Einfluss der Spitzegeometrie bei der AFM Messung	67
3.17 REM-Aufnahme eines Nanodrahtes	68
3.18 Fehleranalyse mittels REM	69
3.19 XSEM Querschnitt Aufnahme	69
4.1 Messaufbau zur elektrischen Charakterisierung.	74
4.2 Ausgangskennlinien P-Typ Nanodraht 180nm Top-Si.	75
4.3 Ausgangskennlinien P-Typ Nanodraht 50nm Top-Si.	76
4.4 Unterschwellenkennlinie der Backgatesteuerung eines NDNFET.	78
4.5 Degradierete Unterschwellenkennlinie des Backgate eines NDFET.	79
4.6 Optimierte Unterschwellenkennlinie des Backgate eines NDFET.	80
4.7 Schematisches Banddiagramm der Backgatesteuerung.	81
4.8 Simuliertes Banddiagramm der Backgatesteuerung.	82
4.9 Querschnitt durch 3D dargestellte Bänder zum Einfluss des Backgates.	83
4.10 Ladungsträgerverteilung im NDFET abhängig vom BG.	83
4.11 Simulation der Unterschwellenkennlinie des Backgate.	84
4.12 Simulierte Bandkanten für verschiedene ϕ_M	85
4.13 Schema zur Backgatesteuerung eines NDFET.	86
4.14 Temperaturabhängigkeit des NDFET mit Backgatesteuerung.	87
4.15 Unterschwellenkennlinie des Frontgate eines NDFET.	88
4.16 REM-Aufnahme eines Ni_xSi_y Metalls.	88
4.17 Unterschwellenkennlinie des Frontgate eines NDFET mit Verschiebung der V_T	89
4.18 Source/Draingeometrie und Einfluss auf die Silizidierung.	90
4.19 Unterschwellenkennlinie des Frontgate mit verbessertem N-NDNFT.	91
4.20 3D Simulation eines NDFET.	93
4.21 Simulierter Kanalquerschnitt durch einen P-NDNFT.	94
4.22 Kanalquerschnitt N-NDNFT.	94
4.23 Schema des kompletten CMOS-NDNFT.	95
4.24 Ausgangskennlinie eines P-NDNFT.	96
4.25 Ausgangskennlinie eines N-NDNFT.	97
4.26 2D Bandsimulation eines P- und N-NDNFT.	98
4.27 Ausgangskennlinienfeld eines CMOS-NDNFT.	99
4.28 Leitungswiderstand des NDFET.	100
4.29 Unterschwellenkennlinie der Frontgatesteuerung für skalierte Nanodrahtgeometrien.	101
4.30 Unterschwellenkennlinie für Aluminiumkontakte.	102
4.31 Unterschwellenkennlinien des BG für verschiedene V_{DS}	103
4.32 Variabilität von S eines NDFET.	104
4.33 Beeinflussung von $I_{DS,max}$ durch V_{FG}	105
4.34 Mehrdimensionale Kennlinienscharen von NDFETs.	105
4.35 Parallelisierbarkeit von NDFETs.	106

4.36	Temperaturabhängigkeit eines N-NDFET.	107
4.37	Temperaturabhängigkeit eines NDFET.	108
4.38	Temperaturabhängigkeit der Unterschwellenkennlinie	109
4.39	Temperaturabhängigkeit der Unterschwellenkennlinie eines Bulk-Si-MOSFET	109
4.40	Vergleich der Temperaturabhängigkeit von I_{On} und I_{Off}	110
4.41	Normierte Temperaturabhängigkeit des Stromes eines NDFET zu einem Referenzdesign	111
5.1	CMOS Realisierung mit PN-Isolation.	115
5.2	CMOS Realisierung mit <i>MultiSOI</i> -Substrat.	116
5.3	<i>MultiSOI</i> simulierende Messplatine.	117
5.4	Transferkennlinie in Abhängigkeit der BG Spannung	118
5.5	Unsymmetrisch beschalteter Inverter	120
5.6	Symmetrisch beschalteter Inverter	120
5.7	Symmetrisch beschalteter Inverter der letzten Bauelementgeneration	121
5.8	Transferpunkt des Inverters in Abhängigkeit der Versorgungsspannung.	122
5.9	Demonstration der Versatilität des Logik-Ansatzes.	122
A.1	3D Löcherdichte P-NDFET 'aus'.	131
A.2	3D Löcherdichte P-NDFET 'an'.	131
A.3	3D Löcherdichte N-NDFET 'aus'.	132
A.4	3D Löcherdichte N-NDFET 'an'.	132
B.1	Layout der Packaging-Maske.	133
B.2	Photographie des Golddrahtbonders.	134
B.3	Mikroskopbilder zur Verdrahtungstechnik.	135



Tabellenverzeichnis

2.1	Mögliche Betriebsbereiche einer <i>SOI</i> -Struktur.	24
2.2	Inverter Logiktablelle.	29
2.3	Entwickelte Trockenätzprozesse.	40
3.1	Verwendete <i>SOI</i> -Materialien.	46
3.2	Wahl des Justagemarkenmaterials.	54
3.3	Prozessierte Chargen und Wafer.	64



Kapitel 1

Einleitung



Seit der Herstellung der ersten integrierten Schaltung in den 1960er Jahren hat sich die Mikroelektronik in rasantem Tempo weiterentwickelt. Zusätzlich zu immer komplexer werdenden integrierten Schaltungen hat sich auch die zu deren Herstellung nötige Technologie dementsprechend weiterentwickelt. Der technologieseitige Treiber, der die Mikroelektronik zur Nanoelektronik werden ließ, wird als Skalierung bezeichnet. Die kontinuierliche Verkleinerung der geometrischen Bauelementabmessungen - vertikal wie lateral - auf dem verwendeten Silizium-Substrat führten zu einer immensen Packungsdichte an Bauelementen auf einem Silizium-Chip. Bis zum heutigen Zeitpunkt hat das Postulat von Gordon Moore, der die Verdoppelung der Bauelementanzahl pro Chip [1] innerhalb von 18 Monaten voraussagte, seine Gültigkeit behalten. Die Skalierung der geometrischen Größen hat allerdings eine ultimative Grenze, welche nicht unterschritten werden kann - die Größe eines Atoms. Herstellung von Isolatorschichtdicken im niedrigen einstelligen Nanometerbereich ($1\text{nm} = 1 \cdot 10^{-9}\text{m}$) und nur wenige Nanometer in die Oberfläche ragende Dotierstoffgebiete, für aktuelle Technologiegenerationen von 45nm und 32nm (Stand: Februar 2011), sind mit großem technologischen Fertigungsaufwand verbunden. Fertigungstoleranzbedingte Schwankungen beeinflussen wichtige Transistorparameter und sind in konventioneller Siliziumplanartechnik mitbestimmend für die Funktionsfähigkeit einer integrierten Schaltung. Diese Probleme werden mit fortschreitender Skalierung immer gravierender.

Das Ziel der vorliegenden Arbeit ist es Bauelemente zu entwickeln, die aus Sicht der Fertigungstechnologie einfach herzustellen sind und gleichzeitig einen Zugewinn an elektrischen Eigenschaften bieten. Nicht planare Strukturen wie FinFETs oder ultimativ Silizium-Nanodrähte sind hierbei vielversprechende Kandidaten. Nanodrähte, die mittels Gasphasenepitaxie hergestellt wurden, sind allerdings, ähnlich wie Kohlenstoffnanoröhrchen, bezüglich ihrer Wachstumsrichtung schwer kontrollierbar; sie wachsen ungerichtet und sind somit in der industriellen Massenfertigung bisher nicht einsetzbar. Eine präzise Anordnung der Bauelemente auf der Substratoberfläche lässt sich mit Hilfe konventioneller Lithographietechniken erreichen. Da am IHTN die Grenzen der Auflösung der optischen Lithographie im μm -Bereich liegen, wurde für die Herstellung der nanoskaligen Prototypen die in der Forschung häufig Anwendung findende Elektronenstrahlolithographie verwendet. *Silicon-on-Insulator-Material (SOI)* wurde verwendet, um Schottky-Barrieren gesteuerte Silizium Nanodraht Feldeffekt-Transistoren (NDFETs) zu realisieren und deren Potential weitestgehend auszuschöpfen.

In der vorliegenden Arbeit werden spannungs-selektierbare Nanodrähte hergestellt, die über die heute bekannte Funktionsvielfalt von MOSFETs weit hinausgehen. Der Inhalt dieser Arbeit gliedert sich wie folgt. Kapitel 2 stellt die Grundlagen des verwendeten Substratmaterials, der zugrundeliegenden Herstellungsverfahren und der zur elektrischen Charakterisierung herangezogenen physikalischen Beziehungen vor. Die experimentellen Ergebnisse werden in den drei darauffolgenden Kapiteln vorgestellt. Kapitel 3 beschreibt die Technologieentwicklung, die

zur Herstellung der endgültigen Prototypengeneration verwendet wurde. In Kapitel 4 werden die hergestellten Bauelemente elektrisch charakterisiert und die ermittelten Eigenschaften unter Zuhilfenahme von Simulationswerkzeugen untersucht, analysiert, sowie die Besonderheiten der entstandenen Bauelemente diskutiert. Kapitel 5 zeigt die Möglichkeiten der Verwendung der Nanodraht-FETs in spannungs-selektiven Logikschaltungen auf. Die Arbeit endet mit Kapitel 6, in dem mögliche Anwendungsfelder und mögliches Optimierungspotential für zukünftige Untersuchungen vorgestellt werden.

Kapitel 2

Grundlagen



Silizium Nanodrähte mit Mehrfach-Gateelektroden sind Kandidaten für zukünftige Bauelemente, die helfen können die Grenzen der Skalierung herkömmlicher monolithisch integrierter Schaltungen aufzuweichen. In diesem Kapitel werden die Grundlagen der in dieser Arbeit verwendeten Materialien, Herstellungsverfahren und grundlegenden Überlegungen zur Charakterisierung der elektrischen Eigenschaften der Bauelemente behandelt. Zunächst wird das Herstellungsverfahren von *SOI*-Substratmaterial vorgestellt, danach folgen theoretische Betrachtungen zu den verwendeten Kontakt- und Gatematerialien. Anschließend werden konventionelle Metall-Oxid-Halbleiter Feldeffekt-Transistoren (MOSFET) betrachtet und die limitierenden Faktoren für die weitere geometrische Skalierung diskutiert. Den Abschluss des Kapitels bilden eine kurze Vorstellung der verwendeten Technologien der Fertigungsverfahren.

2.1 *Silicon-on-Insulator-Material*

Die Herstellung feldgesteuerter Bauelemente in Metall-Oxid-Halbleiter-(MOS) Technologie lässt sich bis in die 20er Jahre zurückverfolgen, wo J.E. Lilienfeld einen 'Apparat zur Kontrolle des elektrischen Stromes' zum Patent [2] anmeldete. Ein dünner Film eines halbleitenden Materials (S) befand sich auf einer isolierenden Unterlage, auf dem halbleitenden Film lag eine Schicht eines Isolators (O), welcher mit einer Metallschicht (M) bedeckt war. Durch das Anlegen einer Spannung an die Isolatorschicht und das daraus resultierende elektrische Feld sollte der Stromfluss im Halbleiter gesteuert werden können. Das so vorgeschlagene Bauelement kann als 'gated-resistor', oder als erstes Feldeffekt-Bauelement bezeichnet werden. Allerdings wurde dieses Bauelement nur vorgeschlagen und nicht prozesstechnisch realisiert - dies war zu jener Zeit mangels guter isolierender dielektrischer Schichten unmöglich. Nichtsdestotrotz kann hier der frühe Beginn der *Silicon on Insulator*-Technologie (*SOI*) erkannt werden, bei der halbleitende Materialien auf Isolatoren aufliegen und dies in möglichst dünnen Filmen für Halbleiter und Isolator. Der erste wirklich technologisch realisierte MOSFET wurde 1960 von Kahng und Atalla [3] vorgestellt, als die thermische Oxidation von Silizium großtechnisch realisierbar war. Dieser Zeitpunkt stellt die Geburtsstunde der MOS-Technologie dar, die bis heute in der Mikro- und mittlerweile Nanoelektronik Anwendung findet. Zunächst wurde die MOS-Technologie auf Vollmaterial-Silizium-Wafern realisiert (sogenannte Bulk-Silizium-Technologie), die einige Nachteile gegenüber der *SOI*-Technologie aufweist, wie zum Beispiel höhere Verlustleistung durch größere Leckströme im ausgeschalteten Zustand des Transistors. In der Bulk-Silizium Technologie sind lediglich die ersten drei Mikrometer der gesamten Waferdicke (im Bereich von $280\mu\text{m}$ bis $800\mu\text{m}$) für die Funktion des Transistors elektrisch relevant, der restliche Teil dient lediglich zur mechanischen Stabilisierung der Bauelemente. Hieraus entstehen Nachteile für die elektrischen Eigenschaften der Bauelemente, wie etwa parasitäre Kapazitäten und Widerstände, die beispielsweise den sogenannten latch-up Effekt [4] begründen. Einige dieser parasitären

Effekte, welche die konventionelle MOS-Technologie an ihre Grenzen treiben, werden in Kapitel 2.4 näher beschrieben. Da lediglich ein enger Oberflächenbereich eines Silizium-Wafers zur Realisierung der Bauelemente herangezogen wird, ist es naheliegend auch nur die wirklich benötigte Schichtdicke des Siliziums zur Verfügung zu stellen, um parasitäre elektrischen Effekte einzudämmen. In den 1960er Jahren war allerdings die Herstellung solch dünner kristalliner Schichten auf Isolatoren technologisch nicht möglich und es verging einige Zeit bis, in den späten 1970er Jahren, erste *SOI*-Substrate technologisch realisiert werden konnten.

2.2 Herstellungsverfahren für *SOI*-Material

Mittlerweile gibt es eine Vielzahl von Verfahren zur Herstellung von *SOI*-Substraten, wovon hier nur die ausführlich beschrieben werden, die heute in großtechnischen Produktionseinsatz Relevanz erlangt haben. Andere werden der Vollständigkeit halber nur kurz angerissen.

2.2.1 Anfänge der *SOI*-Technologie

Die größte Herausforderung bei der Herstellung von *SOI*-Substraten ist das Herstellen der dünnen, auf einem amorphen Isolator aufliegenden, einkristallinen Siliziumschicht. Diese Siliziumschicht muss ähnliche oder ebenso gute Qualität aufweisen, wie die von Bulk-Siliziumwafern. So gab es Versuche das Silizium auf kristallinen Isolatoren - meistens Saphir - per Heteroepitaxie mit Silan (SiH_4) oder Dichlorsilan ($\text{H}_2\text{Cl}_2\text{Si}$) aufzuwachsen, wobei die unterliegende Isolatorschicht lateral möglichst die gleichen Gitterabstände aufweisen musste, wie die aufzuwachsene Silizium-Schicht [5]. Diese Schicht wird nachfolgend als Top-Silizium Schicht, kurz Top-Si bezeichnet. Bei den epitaktisch aufgewachsenen Schichten ist die mechanische Verspannung gegenüber der Unterlage der entscheidende Faktor für die elektrische Qualität des Top-Si. Keines der verwendeten Materialien weist exakt die gleich Gitterkonstante oder gar den gleichen thermischen Ausdehnungskoeffizienten auf wie Silizium [6], daher ist eine Verspannung des Top-Si mit dieser Herstellungsmethode unvermeidlich und die Qualität des entstehenden *SOI*-Materials ist im Vergleich zu heutig eingesetzten Materialien inakzeptabel. Einzig die eingangs erwähnte Silizium-auf-Saphir (Silicon on Sapphire, SOS) Technologie [7] wird heutzutage noch großtechnisch produziert, obgleich die Substrate wesentlich teurer sind, als die während dieser Arbeit verwendeten SIMOX (Separation by Implanted Oxygen) oder UNIBOND (Markenname der Firma SOITEC) Substrate. Das Problem des ungleichen Gitterabstandes kann mit einigen prozesstechnischen Kniffen, z.B. Graphoepitaxie [8] umgangen werden, welche die Substrate aber deutlich verteuern. Versuche zur Herstellung von MOSFETs, in dem Oberflächenbereich

von thermisch oxidierten Siliziumwafern aufgebracht, polykristallinen Silizium zeigten, dass aufgrund der Korngrenzen im poly-Si die Ladungsträgermobilität auf Werte um $10\text{cm}^2/\text{Vs}$ absinkt, was für hochperformante CMOS Schaltungen nicht ausreicht [9]. Eine Rekristallisation [10, 11, 12, 13] dieses polykristallinen Films erbrachte eine deutliche Verbesserung der elektrischen Eigenschaften, allerdings konnte keine ganzflächige einkristalline Schicht hergestellt werden, lediglich größere Bereiche willkürlich gerichteter einkristalliner Orientierung. Verbesserungen wurden durch die Übernahme der Wachstumsrichtung des unterliegenden Kristalls erreicht [14]. Doch auch diese Materialien sind für die Herstellung hochperformanter Schaltungen aus Kostengründen nicht einsetzbar.

Eine deutliche Steigerung der Materialqualität wurde mit der Anwendung der Homoepitaxie [15, 16, 17] erreicht, welche die Erfahrungen der Rekristallisation konsequent fortsetzt. Problematisch an der Homoepitaxie ist, dass die für diese Epitaxieform verwendete isolierende SiO_2 Schicht in amorpher Form auf dem Bulk-Silizium Substrat vorliegt. Ein gerichtetes Wachstum kann also, ähnlich wie beim Einkristallziehen nach Czochalski [18], nur erfolgen, wenn ein Impfkristall vorliegt. Dieser Impfkristall entsteht durch das Öffnen eines Fensters im Oxid, welches als Keimzelle für das folgende epitaxiale, vertikale und laterale Wachstum der einkristallinen Schicht über das SiO_2 dient. Erneut tritt hier allerdings das Problem auf, dass keine ganzflächige Top-Si Schicht generiert werden kann, da erfahrungsgemäß alle $20\mu\text{m}$ ein Oxidfenster geöffnet werden muss um die Einkristallinität der entstehenden Schicht zu gewährleisten. Somit besteht in regelmäßigen Abständen ein ohmscher Kontakt zum Bulk-Silizium, der durch selektives Ätzen entfernt werden muss. Dabei entstehen *SOI* Inseln definierter Größe, die das Layout der Schaltung erheblich beeinflussen.

Die FIPOS-Methode (Full Isolation by Porous Oxidized Silicon) [19, 20, 21] ist als direkter Vorgänger der beiden heute gängigsten Herstellungsmethoden anzusehen, da hier das vergrabene Oxid ähnlich wie in der heutigen technologischen Realisierung hergestellt wird. Hierbei wird um eine Insel aus N-Typ dotiertem Silizium mittels elektrochemischer Ätzung poröses Silizium hergestellt. Dieses wird anschließend mit einer thermischen Oxidation in SiO_2 umgewandelt. Da die Oxidationsrate wegen der deutlich vergrößerten Oberfläche des porösen Siliziums um mehrere Größenordnungen schneller geschieht, als die der N-Typ dotierten Insel, entstehen Inseln aus niedrig N-Typ dotiertem Silizium, die von Oxid umgeben sind.

2.2.2 Aktuelle Herstellungstechnologien

Die bisher vorgestellten Methoden, außer SOS, haben das Prototypenstadium nicht verlassen und sind in großtechnischer Produktion nicht zum Einsatz gekommen. Dies liegt unter anderem auch daran, dass nicht nur die Qualität der Top-Si Schicht, sondern auch die der Isolatorschicht, des sogenannten vergrabenen Oxids, kurz BOX (für Buried Oxide) von entscheidender Bedeutung ist. Thermisch hergestelltes SiO_2 , vorzugsweise trocken oxidiert (d.h. nur mit O_2 als Oxidant), hat die besten elektrischen Eigenschaften [22].

Die Weiterführung der FIPOS-Technologie mit der direkten Herstellung des *SOI*-Materials aus einem Bulk-Silizium Wafer sind die sogenannten Eltran und SIMOX-Technologien, wobei auf die Eltran Technologie [23] hier nicht eingegangen wird. Abb. 2.1 zeigt schematisch den Prozessablauf für die Herstellung eines SIMOX-Substrates [24]. Ein Bulk-Silizium Wafer wird mit Sauer-

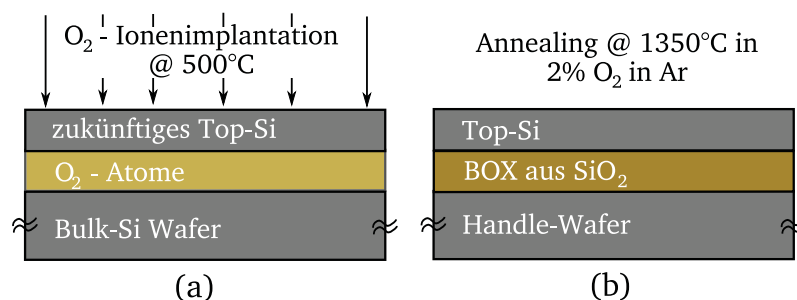


Abbildung 2.1: Schematischer Prozessablauf zur Herstellung von SIMOX-Substraten. (a) O_2 Implantation in den Bulk-Wafer, (b) Ausheilung der Implantation und Verfestigung des Oxids bei hoher Temperatur.

stoffionen bei Energien von circa $180\text{keV} < E_{\text{imp}} < 220\text{keV}$ bei hoher Temperatur ($T \geq 500^\circ\text{C}$) implantiert, sodass die gewünschte Top-Si Dicke an der Oberfläche des Wafers zurückbleibt. Ab einer kritischen Dosis von $1,5 \cdot 10^{18}/\text{cm}^2$ Sauerstoffionen bildet sich während der Implantation und in der anschließenden Temperung eine thermisch oxidierte BOX-Schicht. Nach diesen beiden Prozessschritten ist der Wafer fertig zur Verwendung. Der unter der BOX Schicht befindliche Teil des Wafers wird im Folgenden als Handle-Wafer bezeichnet, weil er im ursprünglichen Sinne lediglich für die mechanische Stabilisierung der hauchdünnen BOX und Top-Si Schichten dient. Problematisch an diesem Verfahren war anfänglich die Bestimmung der richtigen Dosis und Energie, bei welcher das Top-Silizium durch die eintreffenden Ionen nicht gänzlich amorphisiert wird, oder sich nur inselweise SiO_2 bildet und somit keine ganzflächige Isolationswirkung zustande kommt. Weiterentwicklungen dieser Prozesse sind LD- [25] und MLD-SIMOX Prozesse, die bei niedrigeren Dosen und Energien durchgeführt werden. Dies ist beispielsweise nötig, um dünnere ($\leq 150\text{nm}$) Top-Si Schichten zu ermöglichen, was auch durch eine nachträgliche Prozessierung der Substrate mit dem ITOX (Internal Oxidation) Verfahren [26] erlaubt.

Hier wird eine zusätzliche Ausdünnung des Top-Siliziums bei gleichzeitiger Verdickung des BOX durch einen an die Implantation angehängten Hochtemperaturoxidationschritt ($T \approx 1350^\circ\text{C}$) erreicht. Trotz der anscheinend einfachen Prozessführung mit nur zwei bis drei Prozessschritten hat ein per SIMOX-Verfahren hergestellter Wafer mehrere Nachteile. Das entstehende BOX ist durch mögliche Silizium-Lunker und die statistische Verteilung der Ionen während der Implantation (Smith-Profil [27]) von minderer Qualität im Gegensatz zu thermisch generiertem, was sich vor allem in einer Degradation der Durchbruchfeldstärke äußert. Die Durchbruchfeldstärke von thermischem Trockenoxid guter Qualität beträgt um $10 - 12\text{MV/cm}$, die des SIMOX BOX lediglich circa $2 - 6\text{MV/cm}$. Weiterhin besitzt ein SIMOX BOX einen gewissen Grundleckstrom der durch Ladungsträgereinfang und Freisetzung (trapping und detrapping) [28] herrührt. Schlimmer noch ist der Effekt von eingeschlossenem kristallinem Silizium im BOX, welches während der Implantation durch Abschattungseffekte generiert wird und leitende Verbindungen zwischen Handle-Wafer und Top-Si ermöglicht. All diese Fehlstellen tragen kumulativ zum Leckstrom bei [29]. Die in dieser Arbeit verwendeten MLD-SIMOX Substrate stammten aus der Anfangszeit der SIMOX Produktion, in der diese Fehlstellen noch massiv auftraten, was die schlechte Performance und die sehr hohen Leckströme der Bauelemente aus Kapitel 3.1.2 erklärt.

Da das vergrabene Oxid in dieser Arbeit auch als zusätzlicher Gateisolator zur rückseitigen Kontrolle des Bauelementes verwendet worden ist, ist ein besonders geringer Leckstrom erforderlich, warum schlussendlich auf UNIBOND Substrate der Firma 'SOITEC' [30] zurückgegriffen wurde. Die Herstellung dieser Substrate und die daraus resultierenden, gegenüber SIMOX Substraten deutlich verbesserten, elektrischen Eigenschaften sollen im Folgenden beschrieben werden.

Wie der Markenname UNIBOND vermuten lässt, handelt es sich bei diesem Substrattyp um einen aus zwei einzelnen Substraten 'gebondeten' Wafer. Der Ausdruck 'bonden' beschreibt die Verbindung zweier Materialien durch mechanische oder elektrochemische Kräfte. Im Falle von Silizium-Wafern bedeutet dies, dass zwei oxidierte Wafer, deren SiO_2 Oberflächen hydrophil sind, miteinander in Kontakt gebracht werden. Die hierbei auftretenden van-der-Waals Kräfte sorgen für eine zunächst lockere Verbindung zwischen den beiden Substraten [31]. Die Stärke dieser Verbindung wird durch Erhitzen auf Temperaturen um 1000°C verzehnfacht [32], was dazu führt, dass die Wafer fest miteinander verbunden werden. Die Dotierung oder gar die Kristallorientierung der Wafer spielt hierbei eine untergeordnete Rolle. Es können beliebige Wafertypen miteinander kombiniert werden, da lediglich die amorphen Oxide miteinander verbunden werden. Den Prozessablauf zeigt schematisch Abb. 2.2. Die so miteinander gekoppelten Substrate und vor allem das BOX sind bei dieser Art der Verbindung von hervorragender Qualität, die Durchbruchfeldstärke des Oxids hat sich gegenüber jener der einzelnen Oxide kaum merklich verändert. Nebenbei ist anzumerken, dass die Reinheit der zu verbindenden Wa-

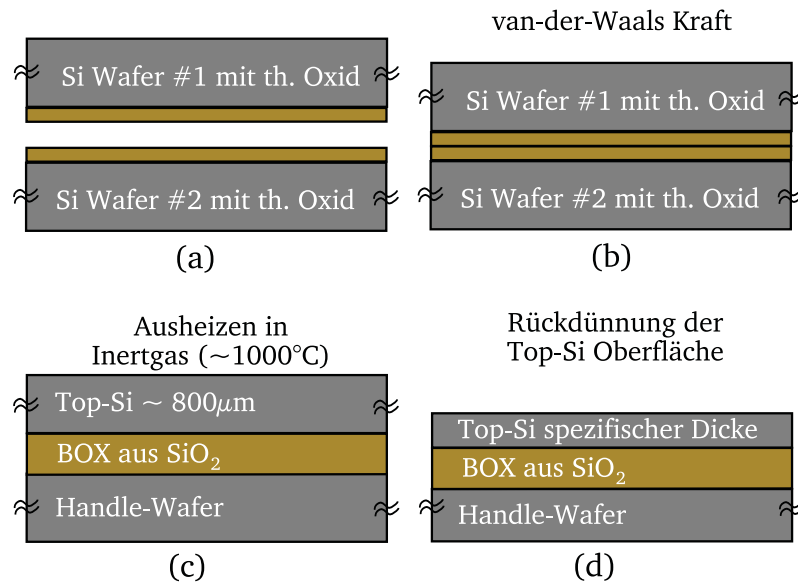


Abbildung 2.2: Schematischer Prozessablauf zur Herstellung von gebondeten *SOI*-Wafern. (a) zwei einzelne oxidierte Silizium Substrate (b) werden aufgrund von van-der-Waals Kräften verbunden, (c) die Verbindung wird gefestigt und (d) das Top-Si auf die gewünschte Dicke rückgedünnt.

fer von größter Bedeutung ist, da bereits kleinste Partikel während des Bondens zu mehreren Millimeter großen Fehlstellen führen können an denen die Substrate nicht korrekt miteinander verbunden sind, was in der Schaltungsherstellung später zu Haftungsproblemen führen kann. Die in Abb. 2.2 (d) gezeigte Rückdünnung des Top-Silizium Films kann auf verschiedene Arten erfolgen. Zunächst wird mittels Schleifen ein grobes Herantasten an die Zieldicke erreicht. Anschließend kann mittels chemisch mechanischem Polieren (CMP) bis zur Zieldicke weiterpoliert werden, was nur relativ dicke Top-Si Schichten erlaubt, da hier der Endpunkt des Polierprozesses nicht exakt bestimmt werden kann. Feiner einstellbar ist die Top-Si Dicke beim nasschemischen Ätzen in speziellen Ätzmischungen [33] mit hoher Selektivität und einem Ätzstopp der, z.B. auf Änderungen im Dotierstoffprofil des Top-Si Wafers reagiert [34]. Die Wirtschaftlichkeit dieser Art der Rückdünnung ist wegen der Zerstörung des Restes des Top-Si Wafers als schlecht zu bezeichnen, es werden immer zwei komplette Wafer verbraucht. Eine Weiterentwicklung der Rückdünnungstechnik mit Anleihen der Implantationstechniken aus der SIMOX-Wafer Herstellung bezeichnet das SmartCut Verfahren [35], welches ermöglicht den Materialverbrauch während des Rückdünnungsprozesses deutlich zu senken und somit wirtschaftlicher zu produzieren. Abb. 2.3 verdeutlicht den Prozessablauf. Die SmartCut Technologie wird auch mit Hilfe des Wafer Bonding durchgeführt, allerdings wird die Rückdünnung der Oberfläche mit nur minimalem Materialverlust gelöst. Dafür werden in die Oberfläche des oxidierten Top-Si Wafers Protonen (H^+) implantiert, welche in einer definierten Eindringtiefe Kristalldefekte erzeugen. Anschließend werden die Wafer gebondet. Das Ausheizen für die Festigung der Verbindungs-

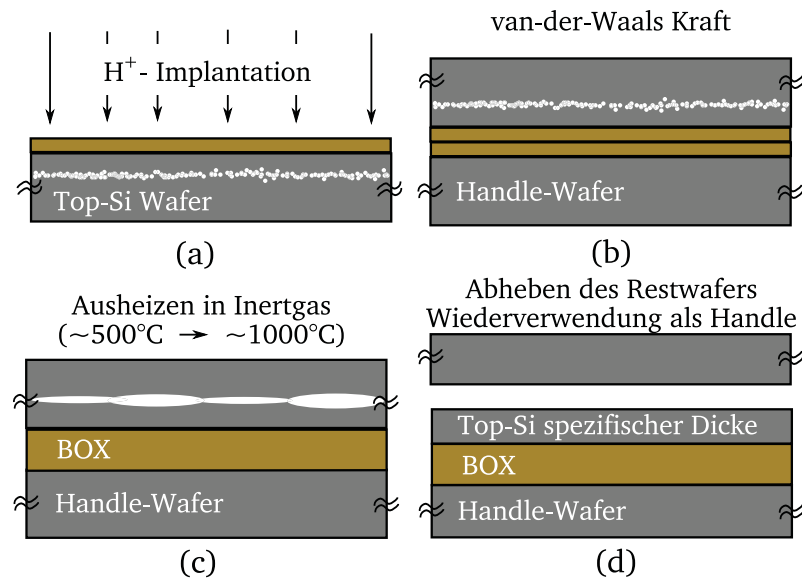


Abbildung 2.3: Schematischer Ablauf des SmartCut-Prozesses zur Herstellung von UNIBOND SOI-Wafern. (a) H⁺ Implantation in den Top-Si Wafer (b) die Wafer werden aufgrund von van-der-Waals Kräfte verbunden, (c) Ausheizen der Wafer in zwei Schritten (d) Restwafer von der Oberfläche abgehoben und planarisiert.

kräfte zwischen den beiden Wafern wird nun in zwei Schritten durchgeführt. Der erste Schritt bei niedriger Temperatur lässt den entstehenden Wasserstoff zu den entstandenen Defekten im Material wandern [36], die sich hierdurch vergrößern. War die Protonen-Dosis groß genug, so setzt das sogenannte *Ostwald-Ripening* ein [37], es bilden sich Mikrorisse wodurch sich die beiden Teile des Wafers voneinander lösen. Am Ende des ersten Temperaturschrittes sind die Waferteile voneinander getrennt. Der zweite Tempersschritt zur Festigung der Verbindungskräfte bleibt davon unberührt. Am Ende des Prozessdurchlaufs wird der Restwafer abgehoben und kann so dem nächsten Top-Si Wafer als Handle-Wafer dienen. SmartCut Wafer werden unter der Marke UNIBOND der Firma 'SOITEC' vertrieben.

Ein weiterer Vorteil der SmartCut Technologie ist, dass MultiLayer SOI-Wafer [38] mit einer Schichtfolge aus Handle-SiO₂-Si-SiO₂-Si... möglich werden. Diese Möglichkeit wäre für eine Massenproduktion der in dieser Arbeit vorgestellten Bauelemente die ideale Voraussetzung. Siehe dazu auch die Kapitel 4 und 5 zur elektrischen Charakterisierung der Bauelemente und Logik.

2.2.3 Bauelement-Layout auf SOI

Die mit den obengenannten Verfahren hergestellten Wafer sind durch die aufwändige Prozesstechnologie erwartungsgemäß teurer als vergleichbare Bulk-Si Wafer (Stand Januar 2011 circa Faktor 10). Das wichtigste Argument für den Einsatz von *SOI*-Material ist die Reduktion der Prozesskomplexität bei der Fabrikation integrierter Schaltungen und vorteilhaften elektrischen Eigenschaften zu nennen. Abhängig von der Dicke des Top-Si wird grundsätzlich unterschieden zwischen partially-depleted (PDSOI) und fully-depleted (FDSOI) [39] *SOI*-Technik. Bei Bauelementen in partially-depleted Technik ist die Dicke des Top-Si Films höher als die maximale Ausdehnung der Raumladungszone (RLZ) unter dem entsprechenden Draingebiet; bei fully-depleted bildet sich gar keine RLZ ($d_{\text{Top-Si}} \leq d_{\text{RLZ}}$) mehr unter dem hochdotierten Source und Drain Gebieten aus. In beiden Fällen sitzt jedes Bauelement auf einer eigenen 'Insel' aus einkristallinem Silizium, vollständig durch BOX und Feldoxid (FOX) von anderen Bauelementen isoliert. So werden beispielsweise keine N- und P-Wannengebiete mehr benötigt, um einzelne Bauelemente in CMOS-Schaltungen voneinander zu isolieren. Durch den Einsatz von *SOI*-Wafern sind keine retrograden Wannendotierungen [40] mehr nötig, um den latch-up Effekt [4], der durch parasitäre Bipolartransistoren zwischen nah beieinander liegenden hoch dotierten N- und P-Typ Gebieten entsteht, zu vermeiden. Weiterhin wird der 'Hot-Carrier Effekt' [41] bei dem hochenergetische Elektronen in den Gateisolator injiziert werden, abgeschwächt, da die Grunddotierung des Top-Si im Gegensatz zu Bulk-Silizium gesenkt werden kann. Weiterhin hilft insbesondere die spezielle Elektrostatik von fully-depleted *SOI* Material, die bei kurzen MOSFET-Kanälen auftretenden Kurzkanaleffekte, abzuschwächen. So wird auch die Implantation eines lightly doped drain (LDD) [42] Gebietes auf der Source und Drain Seite unnötig. Durch die niedrigere Grunddotierung entfallen Pocket- oder auch Halo-Implantationen [43]. Als weiterer

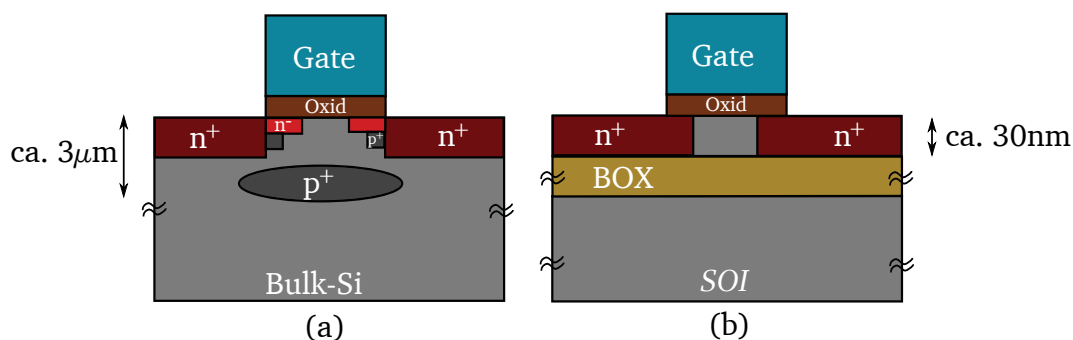


Abbildung 2.4: Vergleich der Prozesskomplexität von Bulk-Si- gegenüber *SOI*-Technologie. (a) Querschnitt durch einen Bulk-Si-MOSFET (b) Querschnitt durch einen vergleichbaren MOSFET in *SOI*.

entscheidender Vorteil ist der deutlich geringere thermisch genertierte Source/Drain Leckstrom in das Silizium Substrat zu nennen [44], da die Source/Drain Gebiete elektrisch vom Substrat

durch das BOX getrennt sind. Abb. 2.4 zeigt einen konventionellen Bulk-MOSFET und einen vergleichbaren fully-depleted SOI-MOSFET. Die Abbildungen sind stark vereinfacht, dennoch wird deutlich, dass die Prozessführung wesentlich vereinfacht werden kann. Für alle Prozessschritte kann die gleiche Technologie eingesetzt werden, wie für konventionelles Bulk-Si, der Kostennachteil für die SOI-Wafer wird durch die vereinfachte Prozessführung und die steigende Nachfrage reduziert werden.

Die in dieser Arbeit hergestellten Silizium-Nanodrähte werden mittels der klassischen Siliziumplanartechnik, sogenannter 'top-down' Strukturierungsverfahren hergestellt. Die bereits vorhandene dünne Top-Si Schicht mit unterliegender Isolation stellt eine optimale Startvoraussetzung zur Herstellung der Nanodraht-FETs (NDFETs) dar, deshalb wurde SOI als Substratmaterial ausgewählt.

2.3 Der Metall-Halbleiter-Kontakt

Im Allgemeinen wird in der Technologie integrierter Schaltungen zwischen zwei Arten von Metall-Halbleiter-Kontakten unterschieden, dem ohmschen Kontakt und der Schottky-Diode. Das elektrische Verhalten eines ohmschen Kontaktes entspricht dem eines Widerstandes, das Verhalten einer Schottky-Diode hingegen ähnelt stark dem Verhalten einer PN-Diode. Die dem Schottky-Kontakt zugrundeliegenden theoretischen Grundlagen sollen in diesem Abschnitt beschrieben werden.

Abb. 2.5 zeigt den prinzipiellen Effekt beim Zusammenführen eines P-Typ Halbleiters mit einem Metall. Wird ein P-Typ Halbleiter mit der Austrittsarbeit ϕ_S mit einem Metall dessen Austritts-

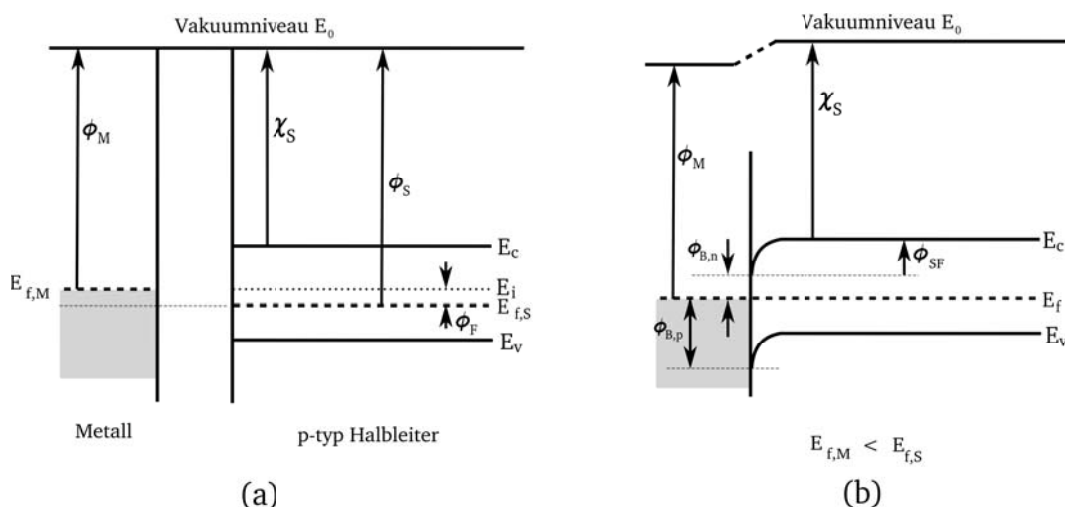


Abbildung 2.5: Bänderdiagramm eines Schottky-Kontaktes (a) vor und (b) nach Zusammenführung eines Metalls und eines P-Typ Halbleiters.

beit ϕ_M kleiner ist als ϕ_S in Kontakt gebracht, d.h. das Ferminiveau des Metalls liegt energetisch unter dem des P-Typ Substrates (Halbleiter), so entsteht eine Schottky-Barriere (SB) ϕ_B für beide Ladungsträgertypen, das heißt Elektronen und Löcher. Wird an der metallischen Seite des Kontaktes nun eine negative Spannung angelegt, so verringert sich das eingebaute Potential ϕ_{SF} und Löcher (Majoritätsladungsträger) aus dem Valenzband können sich vom Halbleiter zum Metall bewegen, es liegt Flusspolung vor. Legt man hingegen eine positive Spannung an das Metall an, so wächst aufgrund der Bandverbiegung ϕ_{SF} und der Löchertransport wird dadurch stark eingeschränkt, es herrscht Sperrpolung. Die Barrierenhöhe für Löcher $\phi_{B,p}$, sowie die für Elektronen $\phi_{B,n}$ hängt entscheidend von der verwendeten Metall-Halbleiter Kombination ab und ist linear mit der Elektronenaffinität des Halbleiters verknüpft:

$$\phi_{B,p} = E_g - \phi_{B,n} \quad \text{mit} \quad \phi_{B,n} = \phi_M - \chi_{Si} \quad (2.1)$$

Das eingebaute Potential, welches für den Spannungsabfall ϕ_{SF} sorgt, errechnet sich nach:

$$\phi_{SF} = \phi_{B,n} - \frac{E_C - E_f}{q} \quad (2.2)$$

Der durch den Schottky-Kontakt fließende Strom I_{SB} kann durch eine Diodengleichung angenähert werden:

$$I_{SB} = I_{S_{SB}} \cdot \left(e^{\left(\frac{V}{V_{th}} \right)} - 1 \right) \quad (2.3)$$

Illustriert wird die Spannungsabhängigkeit in Abb. 2.6. Es treten, je nach angelegter Spannung,

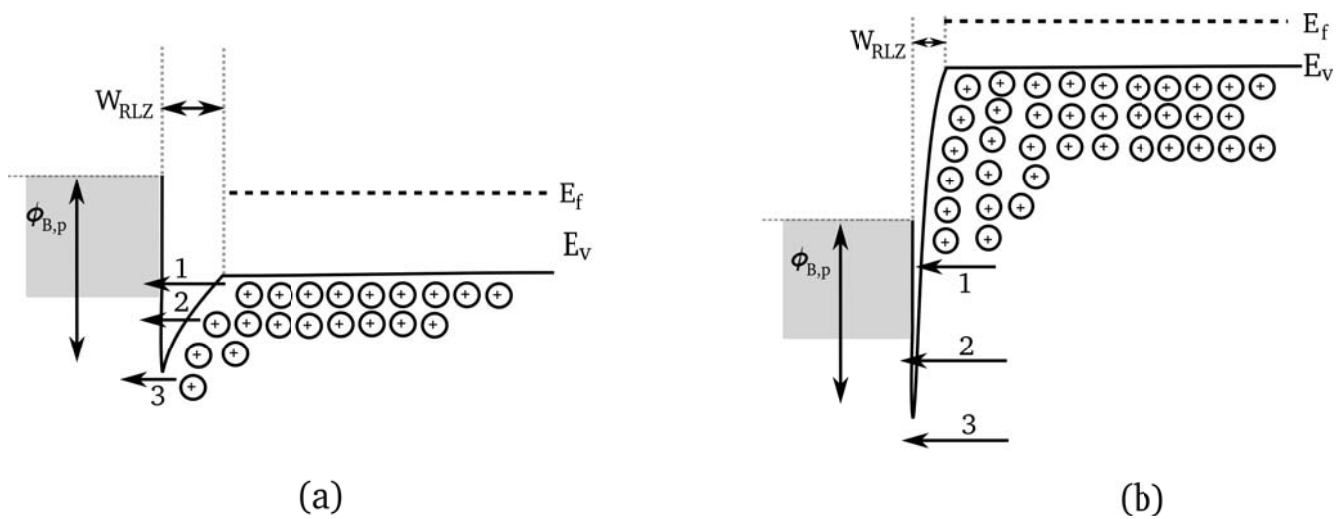


Abbildung 2.6: Valenzbandkante in vergrößerter Darstellung mit möglichen Leitungsmechanismen eines P-Typ Schottky-Kontaktes in Flusspolung (a) und in starker Sperrpolung für Tunnelströme (b).

quantenmechanische Tunnelprozesse alleine, oder in Verbindung mit thermionischer Emission auf. Drei Ladungsträgertransportmöglichkeiten vom Halbleiter in das Metall (und zurück) werden hierbei unterschieden:

1. Feldemission (FE), beziehungsweise Tunneln, in der Umgebung des Fermi-niveaus des Halbleiters,
2. Thermionische Feldemission (TFE) thermisch angeregter Ladungsträger und
3. Thermische Emission (TE) über die Barriere.

Der Ladungsträgertransport durch Feldemission beziehungsweise Tunnelprozesse wird durch eine ausreichende schmale Barriere im Bereich des Metall-Halbleiter Übergangs ermöglicht. Im Falle thermionischer Feldemission wirkt zusätzlich zum Feld eine thermische Anregung der Ladungsträger. Dadurch können diese in einem zweistufigen Prozess zunächst Energieniveaus mit hinreichend schmaler Barriere erreichen und anschließend eventuell die Barriere mittels eines Tunnelprozesses durchdringen. Der Mechanismus der reinen thermionischen Emission beinhaltet hingegen keinen Tunnelprozess, die Ladungsträger erhalten hierbei soviel Energie, dass ein Überwinden der Barriere möglich wird. In Flusspolung überwiegt durch die gewollte Erniedrigung der inneren Potentialbarriere die thermionische Emission, während in Sperrpolung die thermionische Feldemission und - sobald die Sperrspannung groß genug wird - die Feldemission überwiegen.

Eine Abschätzung des vorherrschenden Transportmechanismus (Faktor Z) kann mit folgender Gleichung erfolgen:

$$Z = \frac{q\hbar}{2} \cdot \sqrt{\frac{N_{A,D}}{m^* \cdot \epsilon_{Si}}} \quad (2.4)$$

mit der Dotierstoffkonzentration N_A , der effektiven Ladungsträgermasse m^* , dem planckschen Wirkungsquantum \hbar , der Elementarladung q und Dielektrizitätskonstante ϵ_{Si} des Siliziums. Sofern $kT \gg Z$ gilt, dominiert thermionische Emission. Für $kT \ll Z$ wirken Tunnelprozesse bzw. Feldemission als Hauptmechanismus. Für $kT \approx Z$ liegt thermionische Feldemission als Mischform vor. Der Anteil der Feldemission am Gesamtstrom einer Schottky-Diode erhöht sich demnach mit sinkender Temperatur und steigender Dotierung. Eine hohe Dotierung wirkt hierbei reduzierend auf die Breite der sich ausbildenden Raumladungszone W_{RLZ} gemäß:

$$W_{RLZ} = \sqrt{\frac{2\epsilon_{Si} \cdot \phi_{SF}}{qN_A}} \quad (2.5)$$

Durch starke Dotierung des Halbleiters wird die Dünnung der RLZ begünstigt. Dieser Effekt wird zur 'ohmschen' Kontaktierung von Halbleitern durch Tunnelmechanismen ausgenutzt. Die Herstellung einer wohldefinierten Schottky-Diode gestaltet sich allerdings weniger einfach, als lediglich ein Metall auf einen Halbleiter aufzubringen, sodass daraus ein idealer Schottky-Kontakt resultiert. Reine Metalle tendieren dazu, auf Siliziumoberflächen andere als die idealerweise erwarteten Austrittsarbeitdifferenzen für die Schottky-Barrieren zu bilden. Dieser Effekt rührt von sogenannten Metall induzierten Grenzflächenzuständen (MIGS) her, die auf evtl. vorhandene Reste natürlichen Oxids oder Prozessrückständen vorhergegangener Prozessschritte zurückzuführen sind. Diese Grenzflächenzustände halten das Fermipotential an der Oberfläche fest und verringern somit den Einfluss der Austrittsarbeit des verwendeten Metalls auf die Barriere erheblich. Dieser Effekt wird in der Literatur als 'fermlevel-pinning' (FLP) [45] bezeichnet.

Die Verunreinigungen die als ursächlich für das 'fermlevel-pinning' an der Grenzfläche des Metall / Halbleitersystems angenommen werden, sind allerdings nicht die einzigen Faktoren, die zum Tragen kommen. Dies zeigt eine Silizidierung des Metalls, bei der ein Teil des Siliziums durch das Metall in einer chemischen Reaktion verbraucht wird, es bildet sich bei hoher Temperatur ein Silizid der Form $\text{Metall}_x\text{Si}_y$. Die Grenzfläche von Metall und Halbleiter sollte also, ähnlich wie bei der Formation eines Gateoxids mittels trockener thermischer Oxidation, einen hohen Reinheitsgrad aufweisen. Oberflächendipole und Unterschiede in der Elektronegativität tragen zusätzlich zum FLP des Schottky-Kontaktes bei [45]. Dies kann beispielsweise auch über die Existenz von Kristallfehlern im Halbleiter, die durch die Silizidierung entstehen, erklärt werden. Hieraus resultieren auch die in der Literatur für gleiche Materialsysteme zu findenden, teilweise sehr stark differierenden Angaben [46].

2.4 Der MOS-Kondensator

Der MOSFET stellt momentan das hauptsächliche Bauelement der meisten elektronischen Schaltungen dar. Alle modernen Schaltungen der Digitaltechnik, sowie auch der Analogtechnik sind in Teilen, oder als Ganzes, in komplementärer MOS-Technologie (CMOS) ausgeführt. Gordon Moore's Prognose bezüglich der Leistungsfähigkeit und Komplexität von integrierten CMOS Schaltungen ist bis dato erfüllt. Skalierung - dies ist das Schlagwort, welches von Technologiegeneration zu Technologiegeneration immer kleinere, leistungsfähigere und platzsparende Transistorgenerationen ermöglichte. Wann das Ende der konventionellen CMOS Technologie bevorsteht - also die physikalische Grenzen des Bauelementes erreicht sind, ist noch nicht exakt vorauszusagen.

Umso wichtiger ist es bereits jetzt, neuartige Konzepte für die Fortführung von Moores Postulat zu entwickeln. Ziel dieser Arbeit ist es, nicht durch weitere Skalierung von konventionellen Bauelementen die Grenzen des machbaren zu verschieben, sondern durch die Entwicklung neuartiger Bauelemente Lösungsansätze zu bieten, dem immanenten Platzproblem, der erhöhten Verlustleistung und den wachsenden Leckströmen durch einen innovativen Lösungsansatz zu begegnen.

Zunächst soll allerdings im folgenden Abschnitt auf konventionelle MOS Bauelemente, vor allem auf *SOI*-Substrat, eingegangen werden. Im weiteren Verlauf des Kapitels werden Schottky-Barrieren MOSFETs näher betrachtet, da die hier prinzipiell angestellten Überlegungen auch auf die während dieser Arbeit hergestellten Bauelemente anwendbar sind.

2.4.1 *SOI*-MOS-Kondensator

Der MOS-Kondensator ist das zentrale Element, welches in jedem MOSFET zu finden ist. Einen schematischen Querschnitt zeigt Abb. 2.7. Ein MOS-Kondensator wird auf einem Si-Substrat durch Aufbringen eines Oxids und eines Metalls verwirklicht. Durch Anlegen einer Gatespannung an der Metalloberfläche kann die Ladungsträgerkonzentration unter dem Metall durch Feldeinfluss gesteuert werden. Die in Abb. 2.7 (a) gezeigte MOS-Kondensator mit P-Typ Substrat wird mit positiver Gatespannung ($V_G > 0$) am Metall, d.h. in Verarmung, betrieben. Positive Ladungsträger sammeln sich an der Grenzfläche Metall/Oxid. Diese stoßen die positiven freien Ladungsträger von der Si-SiO₂ Grenzfläche ab, es bleiben ionisierte Dotierstoffatomrümpfe zurück und eine Raumladungszone (hellgrau) bildet sich aus. Das resultierende Bänderdiagramm zeigt Abb. 2.7 (b). Der entstehende Kondensator berechnet sich aus der Reihenschaltung der

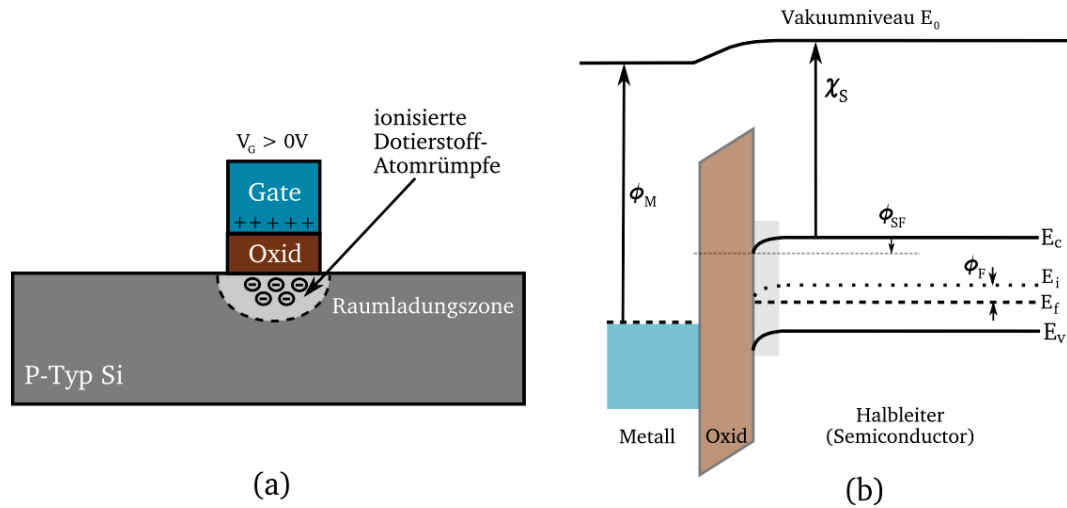


Abbildung 2.7: Schematische Darstellung eines P-Typ MOS-Kondensators in Verarmung; (a) Querschnitt (b) Banddiagramm.

Kapazität des Oxids C_{SiO_2} , welches durch eine einfache Plattenkondensatorformel berechnet werden kann, und der Raumladungskapazität C_{Si} . Die Gesamtkapazität errechnet sich zu:

$$C_{MOS} = \frac{1}{\frac{1}{C_{Si}(V_G)} + \frac{1}{C_{SiO_2}}} \quad (2.6)$$

wobei die Raumladungskapazität von der angelegten Gatespannung V_G abhängig ist, die Oxidkapazität C_{SiO_2} ist konstant und berechnet sich nach der einfachen Plattenkondensatorformel. Die Gesamtkapazität ist also immer kleiner als die größte Einzelkapazität. Die Raumladungskapazität ergibt sich aus:

$$C_{Si}(V_G) = \frac{\epsilon_0 \cdot \epsilon_{Si} \cdot A}{W_{RLZ}} \text{ mit } W_{RLZ} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si}}{q \cdot N_A} \cdot \phi_{SF}} \quad (2.7)$$

und den Dielektrizitätskonstanten $\epsilon_0, \epsilon_{Si}$, der Fläche A der Gateelektrode und dem Oberflächenpotential ϕ_{SF} . Die Oxidkapazität berechnet sich zu:

$$C_{SiO_2} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2} \cdot A}{d_{SiO_2}} \quad (2.8)$$

mit der Dielektrizitätskonstante ϵ_{SiO_2} , der Fläche A der Gateelektrode und der Dicke des Dielektrikums d_{SiO_2} .

Wird die Gatespannung so vergrößert, dass $\phi_{SF} > \phi_F$, so beginnen sich Minoritätsladungsträger - hier Elektronen - an der Grenzfläche zwischen Oxid und Halbleiter anzusammeln. Dieser Betriebsfall wird Inversion genannt. Im Gegensatz dazu bewirkt das Anlegen einer negativen Spannung am Gate ($V_G < 0$) die Akkumulation von Majoritätsladungsträgern (hier: Löcher) an der Oberfläche des Siliziums. In diesem Fall gibt es keine RLZ mehr und die Kapazität wird lediglich durch C_{SiO_2} errechnet. Wird eine Spannung so an die Oberfläche des Metalls angelegt, dass die Bandverbiegung im Silizium verschwindet, wird dies als Flachbandfall bezeichnet, die dazugehörige Spannung heißt Flachbandspannung V_{FB} .

Für SOI-Materialien ergibt sich durch das BOX erzeugte rückseitige Gate (Back-Gate, BG) ein zum Bulk-Material unterschiedlicher Verlauf des Banddiagrammes. Durch die räumliche Eingrenzung des Top-Si ist diese zusätzliche Bandverbiegung am BOX zusätzlich zu der des Oberflächengates (Front-Gate, FG) nicht vernachlässigbar. Ein Unterschied in der Bandverbiegung ergibt sich auch für partially- (PD) und fully-depleted (FD) SOI (vgl. Kapitel 2.2.3). Dies wird in Abb. 2.8 verdeutlicht. Aus den Banddiagrammen ist zu erkennen, dass die Raumladungszon-

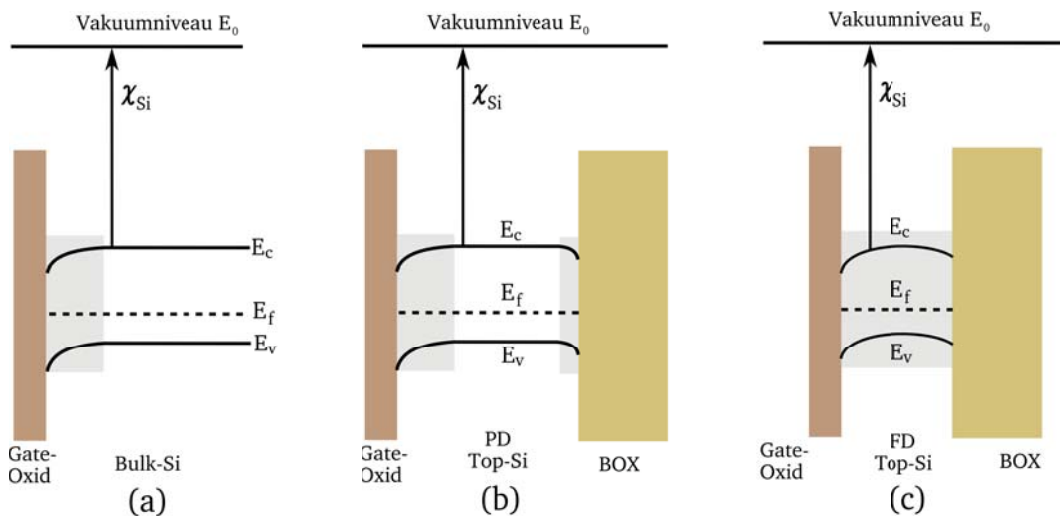


Abbildung 2.8: Banddiagramme von (a) Bulk-Si, (b) partially-depleted und (c) fully-depleted SOI im Vergleich. Darstellung in Verarmung am BOX. Zwecks Vereinfachung sind die Metallisierungen der Oxide nicht dargestellt. Modifiziert nach [47].

ne in fully- und partially-depleted SOI von der Seite des Frontgate und des Backgate auf den Kanalbereich des Bauelementes einwirken. Die später charakterisierbaren Eigenschaften eines SOI-Bauelementes sind somit von der Dicke der Top-Silizium Schicht und der Dotierstoffkonzentration im Top-Silizium abhängig. PD-SOI Bauelemente zeigen einen ausgeprägten 'floating-body' Effekt [48], sollte der Bereich ohne Raumladung in Abb. 2.8 (b) nicht auf Masse gelegt sein. Diese floating-body Effekte äußern sich in parasitären Bipolartransistoren zwischen Source und Drain [49], sowie dem kink-Effekt [50]. In fully-depleted Bauelementen treten diese Effekte wenn überhaupt nur vernachlässigbar auf, da bereits das Frontgate unabhängig von der Beschaltung des Backgate einen vollständigen Felddurchgriff des Top-Si Films zulässt.

2.5 SOI-MOSFET

Wird am MOS-Kondensator aus dem vorangegangenen Abschnitt rechts und links des Gates ein gegenüber dem P-Substrat hoch gegendotiertes (n^+) Gebiet angefügt, die sogenannten Source- und Draingebiete, so entsteht ein MOSFET, vgl. hierzu Abb. 2.9. Source und Drain bilden zum Substrat eine PN-Diode. Wird am Gate des MOSFET aus Abb. 2.9 eine ausreichend positive Spannung angelegt, so werden Elektronen an der Si-SiO₂ Grenzfläche angereichert und es entsteht ein leitender Elektronenkanal der Source und Drain verbindet. Legt man an Source und Drain eine Spannung an, so wird ein Stromfluss möglich. Wird die Gatespannung nun abgeschaltet, so verschwindet der leitende Kanal, der Transistor wird ausgeschaltet. Das aktive Gebiet

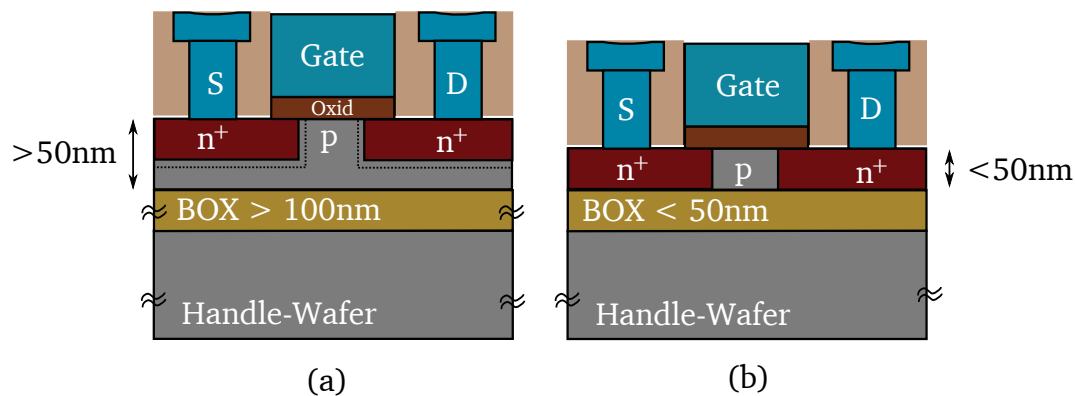


Abbildung 2.9: Schematischer Querschnitt eines Inversionsladungsträger gesteuerten NMOSFET in partially-depleted Ausführung (a) und in fully-depleted Ausführung (b) auf SOI-Substrat.

des Transistors wird komplett vom Handle-Wafer separiert. Der floating-body Effekt verringert auftretende Raumladungskapazitäten und Sperrströme, die von den Source/Drain-Dioden zum Substrat fließen. Somit steigt die Schaltgeschwindigkeit und die Leistungsaufnahme der Schaltung sinkt. Nachteilig ist hierbei allerdings, dass der vom Potential aus gesehen, freihängende (floatende) Teil des Top-Si unterhalb der Source/Draingebiete die Steilheit der Schwellspannung beeinflusst. Technologisch wird hier zumeist ein sogenannter Body-Kontakt angebracht, der Handle-Wafer und Source auf gleiches Potential legt. Eine weitere Vereinfachung stellt der FD-MOSFET dar, in dem keine freien Potentiale mehr vorhanden sind. Bei diesen Bauelementen ist ein dünnes Top-Si und ein dünnes vergrabenes Oxid von Vorteil. So ist auch kein Body-Kontakt mehr nötig.

2.5.1 Schwellspannung V_T

Die Betriebszustände eines PD-MOSFET mit Body-Kontakt sind im einfachsten Falle analog zu denen eines Bulk-Si MOSFETs. So kann die Schwellspannung V_T , die am Frontgate angelegt werden muss, um den Transistor einzuschalten wie folgt berechnet werden:

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A W_{\text{depl,max}}}{C_{\text{SiO}_2}^*} \quad (2.9)$$

mit der Dotierstoffkonzentration N_A im Kanal, der flächenbezogenen Kapazität $C_{\text{SiO}_2}^*$ und $W_{\text{depl,max}}$ der maximalen Ausbreitung der RLZ des Frontgate. Für FD-MOSFETs ist die Berechnung der Schwellspannung komplexer, da nicht nur das Frontgate, sondern auch das Backgate die Verarmungszone und somit den Potentialverlauf über das Kanalgebiet im Transistor bestimmen. Dies verdeutlicht Abb. 2.10. Das Oberflächenpotential ϕ_{FG} wird durch die am Frontgate

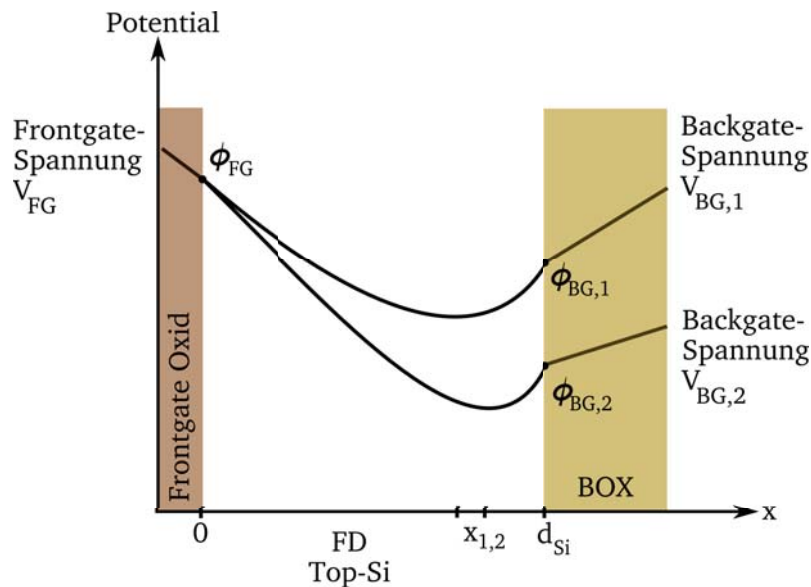


Abbildung 2.10: Potentialverlauf in einer FD-SOI Struktur bei angelegter Spannung an Frontgate und das rückseitige Grenzflächenpotential am Backgate. Modifiziert nach [47].

angelegte Spannung V_G bestimmt, $\phi_{BG,1/2}$ entsprechend durch die Spannung am Backgate. Die Raumladungszone wird ebenso bis zur Tiefe $0 < x_{1,2}$ vom Frontgate und zwischen $x_{1,2} < d_{Si}$ vom Backgate bestimmt. Für $\phi(x)$ gilt nach Lim und Fossum [51]:

$$\phi(x) = \frac{qN_A}{2\epsilon_{Si}} x^2 + \left(\frac{\phi_{BG} - \phi_{FG}}{d_{Si}} - \frac{qN_A d_{Si}}{2\epsilon_{Si}} \right) x + \phi_{FG} \quad (2.10)$$

Somit ist klar, dass sich beide Gatespannungen gegenseitig beeinflussen. So kann zum Beispiel das Frontgate in Inversion und das Backgate in Akkumulation betrieben werden, oder umgekehrt. Dabei verändert sich auch die Schwellspannung des Frontgate ($V_{T,FG} = f(V_{BG})$) je nach angelegter Backgatespannung. Es ergeben sich insgesamt neun (!) verschiedene Betriebszustände in Abhängigkeit der angelegten Gatespannungen, diese zeigt Tabelle 2.1.

FG Kondition	BG Kondition	
Inversion	Akkumulation	◇
Inversion	Verarmung	★
Inversion	Inversion	◇
Verarmung	Akkumulation	
Verarmung	Verarmung	★
Verarmung	Inversion	
Akkumulation	Akkumulation	◇
Akkumulation	Verarmung	
Akkumulation	Inversion	◇

Tabelle 2.1: Mögliche Betriebsbereiche einer *SOI*-Struktur die in der Anwendung von Interesse sind. Die in konventioneller CMOS Technologie auf *SOI*-Substraten zumeist verwendeten sind mit ★ gekennzeichnet. Die in dieser Arbeit verwendeten Konstellationen sind mit ◇ gekennzeichnet.

Die in der Tabelle angegebenen Werte gelten für MOSFETs in Inversionsbetrieb, gleichermaßen ließe sich eine Matrix für den Akkumulations-MOSFET erstellen. Zusätzlich ist das Auftreten eines dieser Betriebsbereiche auch von der angelegten Source/Drainspannung V_{DS} abhängig [52].

2.5.2 P-Typ Akkumulationsbetrieb-MOSFET

Eine Besonderheit in der *SOI*-Technologie stellt die Möglichkeit dar, auch mit hoch gleichdotierten P-Typ Silizium Gebieten einen sogenannten Akkumulationstyp-MOSFETs (AMOSFET) [53] realisieren zu können, siehe Abb. 2.11 (a). Im Gegensatz zum Inversionskanal-MOSFET wird hier der Bereich unter dem Gateisolator in Akkumulation betrieben (Abb. 2.11 (b)). Je nachdem welches Gatematerial für die Kontaktierung des Frontgate eingesetzt wird, befindet sich das Bauelement ohne angelegte Spannung im Kanalbereich in Verarmung. Wird eine negative Spannung an das Gate angelegt, so kommt es zu einer Akkumulation von Löchern an der Grenzfläche Gateisolator zu Top-Si. Ab einer gewissen Spannung $V_{T,Akk}$ wird hier ein Akkumulationskanal ausgebildet, der den Strom I_{Akk} trägt. Befindet sich unter dem Akkumulationskanal

noch ein Bereich aus Top-Si welches nicht in Akkumulation betrieben wird, so fließt hier ein zusätzlicher Strom I_{Body} .

$$I_{\text{D,AMOSFET}} = I_{\text{Akk}} + I_{\text{Body}} \quad (2.11)$$

Auch bei diesem Transistortyp kann in Ausgangskennlinien [54] eine Abhängigkeit der Schwellspannung des Frontgate von der Beschaltung des Backgate ausgemacht werden, wobei dieser nicht nur von einer Verschiebung der Potentiale herrührt, sondern auch auf das Einsetzen des Stromes I_{Body} zurückzuführen ist. Abb. 2.11 verdeutlicht dies. Der Strom I_{Body} wird umso größer,

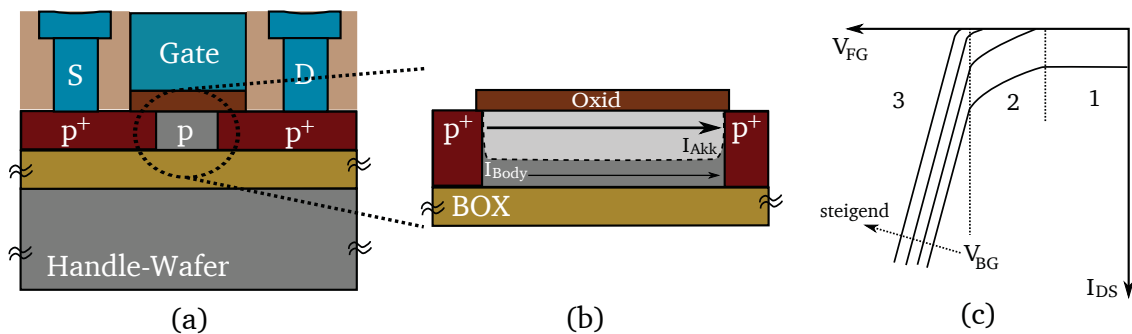


Abbildung 2.11: Querschnitt eines AMOSFET (a), Vergrößerung des Kanalbereichs (b) und Ausgangskennlinie (c) eines P-Typ AMOSFET.

je kleiner die Backgatespannung gewählt wird, was zur Ausbildung eines zweiten Akkumulationsbereiches an der Top-Si / BOX Grenzschicht führt. Verdeutlicht wird dies in Abb. 2.11 (c) Bereich 1. Der eigentlich ausgeschaltete Transistor beginnt hier zu leiten. Dies beeinflusst die Performance und die Leistungsaufnahme des Bauelementes erheblich und ist im reinen AMOSFET Betrieb daher unerwünscht. Ist der Transistor komplett ausgeschaltet, fließen keine Ströme, d.h. $I_{\text{Akk}} = I_{\text{Body}} = 0$. In diesem Betriebsbereich ist der Kanalbereich des Transistors als vollständig verarmt zu betrachten. Diese Verdrängung der Ladungsträger rührt einerseits von den im BOX vorhandenen ortsfesten Oxidladungen her, andererseits von der Austrittsarbeitendifferenz des auf dem Frontgate aufgetragenen Metalls (evtl. auch poly-Si). Diese sind so zu wählen, dass der Transistor ohne angelegte Gatespannung ausgeschaltet ist. Die Einsatzspannung kann hierbei durch die Wahl eines geeigneten Metalls (oder P/N-Typ poly-Si) auch in den, für P-Typ Transistoren untypischen, Bereich positiver Spannung verschoben werden. Die Unterschwellensteilheit (S) kann durch Variation der Backgatespannung eingestellt werden. Niedrigere Backgatespannungen bedeuten eine bessere Steilheit - bildet sich ein Inversions- oder Akkumulationskanal an der BOX/Top-Si Grenzfläche, so sinkt die Unterschwellensteilheit ab [55].

Kurzkanaleffekte spielen bei diesen Bauelementen wegen der gewollt niedrigen Dotierstoffkonzentration im Kanal eine ausgeprägte Rolle, diese können allerdings durch die Verwendung von ultrathin-body SOI weitgehend vermieden werden.

2.6 Doppel- / Mehrfach-Gate MOSFET

Um eine verbesserte Kontrolle auf den Kanalbereich ausüben zu können, sind mehrere Gates von Vorteil [56]. Planare Doppel-Gate Strukturen sind in der Herstellung allerdings nur sehr schwer zu handhaben, da unterhalb des Siliziums ein Gatekontakt platziert werden müsste, was auf SOI-Material prinzipiell möglich wäre. Jedoch gestaltet sich die Platzierung des unter dem Top-Si Film liegenden Gates als technologisch sehr kompliziert. Einfacher ist das Ausweichen auf nicht planare Strukturen.

Wird der MOSFET oder auch AMOSFET mit konventionellen, ohmschen Kontakten, beispielsweise als Siliziumsteg, oder gar als Nanodraht ausgeführt, so wird es möglich den Kanalbereich des Bauelementes mit Gateoxid von mehreren Seiten zu umschließen. Es entsteht ein sogenannter nicht planarer Tri-Gate-FET (auch: FinFET), der als dreidimensionaler Doppelgate MOSFET betrachtet werden kann. Die Gate-Weite verdoppelt sich bei diesem Bauelement. Dies stellt die einfachste Form eines Mehrfachgate MOSFET dar. Abb. 2.12 stellt die, der im Verlauf dieser Arbeit hergestellten Nanodrähte am nächsten kommenden, Ausführungsformen von Mehrfach-Gate FETs schematisch dar. Der Vorteil einer Tri-Gate Struktur basiert auf einem wesentlich

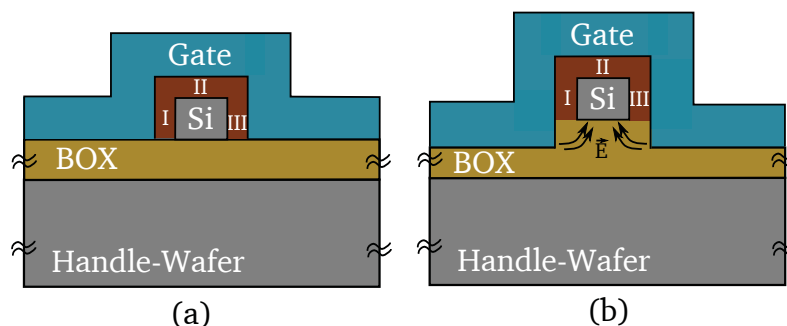


Abbildung 2.12: Schematische Darstellung eines Tri-Gate (a) und II-Gate (b) MOSFET im Querschnitt.

verbesserten Felddurchgriff auf den Kanalbereich des Bauelementes gegenüber herkömmlichen SOI-FETs. Außerdem wird der Einfluss der Source/Drain-Raumladungszonen in das Kanalgebiet hinein verringert, was Kurzkanaleffekte zu minimieren hilft. Die Tri-Gate Struktur aus Abb. 2.12 (a) kommen der, für den Felddurchgriff idealen, gate-all-around (GAA) Struktur [57] bereits sehr nahe, besser noch ist die Verwendung der II-Gate Struktur, siehe Abb. 2.12 (b), die durch eine virtuelle zusätzliche Gatesteuerung von der Unterseite des Kanals nochmals den Durchgriff auf den Kanal steigert [58]. Dies ist notwendig, da gate-all-around Strukturen vertikal und nicht planar ausgerichtet werden müssen. So befinden sich die Source/Drain Gebiete auf unterschiedlicher Höhe, was die Prozessintegration deutlich erschwert.

Auch ist eine klassische Bestimmung der Schwellspannung über die Bedingung des Einsetzens der starken Inversion im Silizium ($\phi_{SF} = 2\phi_F$) nicht mehr möglich, da in Doppel-Gate Bauelementen auf dünnen *SOI* ein Strom auch bereits bei schwacher Inversion fließen kann. Bei Tri-gate und gate-all-around Bauelementen können Inversions- (oder Akkumulations-) Kanäle an verschiedenen Bereichen, bei unterschiedlichen Potentialverläufen, im Bauelement auftreten. In diesen Bauelementen wird die Schwellspannung abhängig von den außen angelegten Spannungen erreicht und kann sich für unterschiedliche Betriebsspannungen stark ändern.

Grundsätzlich ist für den Betrieb in konventionellen CMOS-Schaltungen die beschriebene Variabilität der Schwellspannung nicht wünschenswert. Allerdings für neuartige Schaltungskonzepte, wie sie in dieser Arbeit vorgestellt werden, können sie auch von Nutzen sein, vergleiche Kapitel 4 und 5.

Stellt man die Ladungsträgermobilität eines konventionellen *SOI*-MOSFET der eines Mehrfach-Gate MOSFET gegenüber, so ist diese in Mehrfachgate MOSFETs zumeist höher. Dies liegt daran, dass die Ladungsträger durch die mehrfach auftretenden Inversions- (Akkumulations-) Bereiche am Top-Si und am BOX auch im Inneren der Struktur fließen können und die Wahrscheinlichkeit für Stöße zwischen den Ladungsträgern und Remote-Coulomb-Scattering (RCS) [59] verringert wird, was einer Erhöhung der Mobilitäten gleichkommt.

2.7 Schottky Source/Drain-Dioden MOSFET

Die Kontrolle des Kanalbereichs eines MOSFET ist durch Mehrfach-Gate Ausführungen möglich, der Source und Drain Serienwiderstand hingegen bleibt durch den Source und Drain PN-Übergang vorgegeben. Wird als Source- oder Drainkontakt kein PN-Übergang sondern eine Schottky-Diode bestehend aus Metallsiliziden verwendet, so ist der Kontaktwiderstand von dem gebildeten Silizid abhängig. Mit dem Metall, welches zur Silizidierung verwendet wird, kann der Kontaktwiderstand reduziert werden. Sinnvoll ist hierbei das Erreichen möglichst geringer Serienwiderstände. Abb. 2.13 (a) zeigt idealisiert einen MOSFET mit Source und Drain Kontakten aus Schottky-Dioden (SBFET). Abb. 2.13 (b) zeigt schematisch eine Ausführung mit Nickelsilizid im Voll-Silizidierungsprozess (FUSI). Wird der FUSI Prozess auf fully-depleted *SOI* verwendet, wird das gesamte unter dem Metall-Kontakt liegende Silizium durch chemische Reaktion in Nickelsilizid umgewandelt. Ein enormer Vorteil gegenüber konventioneller MOSFET Technik ist hierbei die Erreichbarkeit von abrupten Metall-Halbleiterübergängen, wie sie bei MOSFETs mit dotierten Source- und Draingebieten auf Grund der Dotierstoffdiffusion nicht möglich sind. Dies macht SBFETs insbesondere für stark skalierte Bauelemente mit kurzen Kanälen $L_{\text{Kanal}} \leq 25\text{nm}$ interessant. Damit die Source- und Drain-Barrieren von SBFETs die

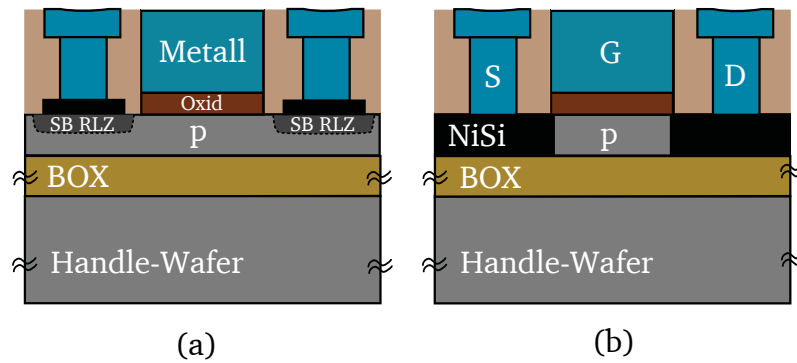


Abbildung 2.13: Schematische Darstellung eines (a) Schottky-Source-Drain MOSFETs (b) MOSFETs mit voll Nickel-silizidierten Source/Draingebieten.

richtigen Ladungsträger für die Funktion des jeweiligen Transistortyps aufweisen, darf lediglich eine maximale Barrierenhöhe von $\phi_{B,p/n} \approx 0,125\text{eV}$ für Elektronen beziehungsweise Löcher vorliegen [60] .

2.7.1 Überlappung der Gateelektrode

Bei kurzen Kanallängen ($< 25\text{nm}$) können auftretende Kurzkanaleffekte so stark werden, dass die Schwellspannung mit abnehmender Länge stark sinkt, der sogenannte Schwellspannungs roll-off setzt ein. Dies hängt in entschiedenem Maße mit der Überlappung des Gate-Drain Bereiches und der damit einhergehenden Kopplung zwischen Source und Drain zusammen. Eine durch das Drain induzierte Barriereerniedrigung tritt hier auf (Drain Induced Barrier Lowering (DIBL)) [61]. Wird diese Gate-Überlappung nun minimiert, oder gar umgekehrt, entsteht ein Abstand zwischen Drain und Gate [62]. Der verlängerte Kanalbereich ist nicht mehr vom DIBL Effekt betroffen und es entsteht eine Struktur wie in Abb. 2.14 (b) dargestellt. Der Abstand der

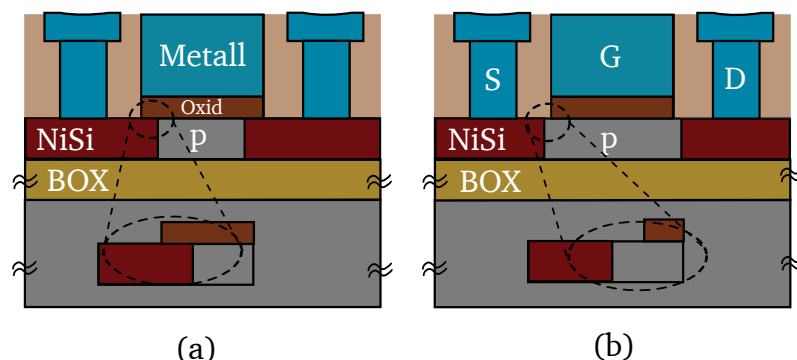


Abbildung 2.14: Schematische Darstellung eines (a) SBFET in Standardform und (b) eines SBFET mit negativem Gate-Überlapp.

negativen Überlappung wird für das Beispiel von 25nm Kanallänge aus [62] mit $\approx 1...2\text{nm}$ angegeben. Für SBFETS ergibt sich durch die negative Unterlappung ein weiterer Vorteil, da das Ga-

tefeld die Source/Drain-Schottky-Barriere nicht mehr direkt beeinflussen kann. Ein großer Unterlappungsbereich reduziert den Leckstrom und die Kurzkanaleffekte, erhöht dabei allerdings die Unterschwellensteigung des Transistors. Außerdem wird durch Erhöhung des Source/Drain-Serienwiderstandes R_{SD} der Gesamtstrom geringer.

2.8 Logik-Schaltung: Inverter

Inverter-Schaltungen stellen einen der Standardblöcke digitaler Schaltungen dar. Mit einem Inverter wird ein Eingangssignalpegel - digital '1' oder '0' - durch die Kombination zweier Bauelemente in den gegensätzlichen Wert verkehrt, also invertiert. Mit mehreren solcher verschalteter Inverter lassen sich logische Operationen und Speicherzellen abbilden. So ist es beispielsweise durch verschalten mehrerer Standardblöcke einfach möglich, NAND-, NOR-Gatter und FlipFlops herzustellen. Schematisch wird der Inverter in Abb. 2.15 dargestellt. Abb. 2.15 (a) zeigt das ge-

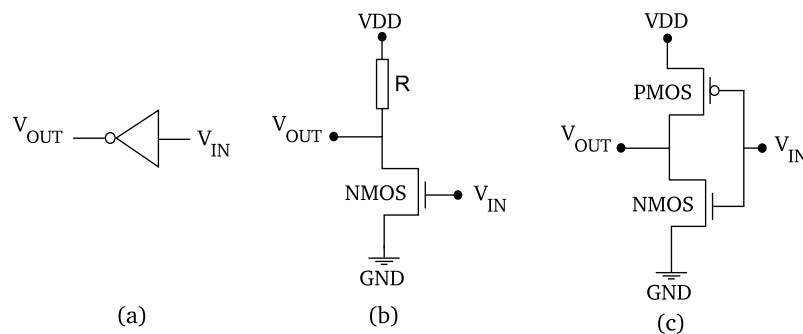


Abbildung 2.15: Schematische Darstellung eines Inverters. (a) Schaltzeichen, (b) Inverter mit Widerstandslast, (c) CMOS-Inverter

bräuchliche Schaltzeichen für den Inverter, das Dreieck beschreibt das Gatter, der Punkt am Ende des Dreiecks steht für die Negation des Eingangssignals. Befindet sich der Transistor aus Abb. 2.15 (b) im ausgeschalteten Zustand, respektive V_{IN} ist logisch '0', so ist der Ausgangsspannungspegel V_{OUT} genau der der Spannungsversorgung V_{DD} oder logisch '1'. Wird der NMOS Transistor eingeschaltet, V_{IN} logisch '1', so wird der Ausgangsknoten V_{OUT} auf Massepotential gezogen, was eine logische '0' repräsentiert. So wird der Eingangspegel am Ausgang negiert wiedergegeben. Eine Funktionstabelle (Tab. 2.2) verdeutlicht dies:

Eingangspegel	Ausgangspegel
logisch '1' V_{DD}	logisch '0' GND
logisch '0' GND	logisch '1' V_{DD}

Tabelle 2.2: Tabelle der Logikfunktion eines Inverters.

Der Inverter aus Abb. 2.15 (c) wird durch die gleiche Funktionstabelle beschrieben, ist allerdings in komplementärer MOS-Technik (CMOS) aufgebaut [63]. Einen Querschnitt durch einen CMOS-Inverter auf SOI-Substrat zeigt Abb. 2.16 (a). Hier wird der Widerstand des Inverters aus Abb. 2.15 (b) durch einen PMOS Transistor ersetzt. Dies hat wesentliche Vorteile bezüglich des statischen Stromverbrauchs der Schaltung. Während der Inverter aus Abb. 2.15 (b), über dessen Widerstand permanent die Versorgungsspannung abfällt, Strom verbraucht, ist dies beim CMOS-Inverter bei geschickter Wahl der Transistorparameter - wie Schwellspannung V_T und Kanalweite zu Kanallänge W/L - nicht der Fall, hier ist immer nur genau ein Transistor im stabilen Zustand eingeschaltet. Im Idealfall wird lediglich während einer kurzen Zeit in der Übergangsphase von V_{IN} von niedrigem auf hohen Pegel kurzzeitig Strom verbraucht, da beide Transistoren eingeschaltet sind. In Wirklichkeit wird auch am CMOS Inverter durch auftretende Leckströme ein Stromfluss zu erwarten sein, der allerdings um Größenordnungen niedriger liegt als der eines Inverters mit Widerstandslast. Verdeutlicht wird dies durch die sogenannte Transferkennlinie eines CMOS Inverters in Abb. 2.16 (b). Ist die Eingangsspannung niedrig, so ist der

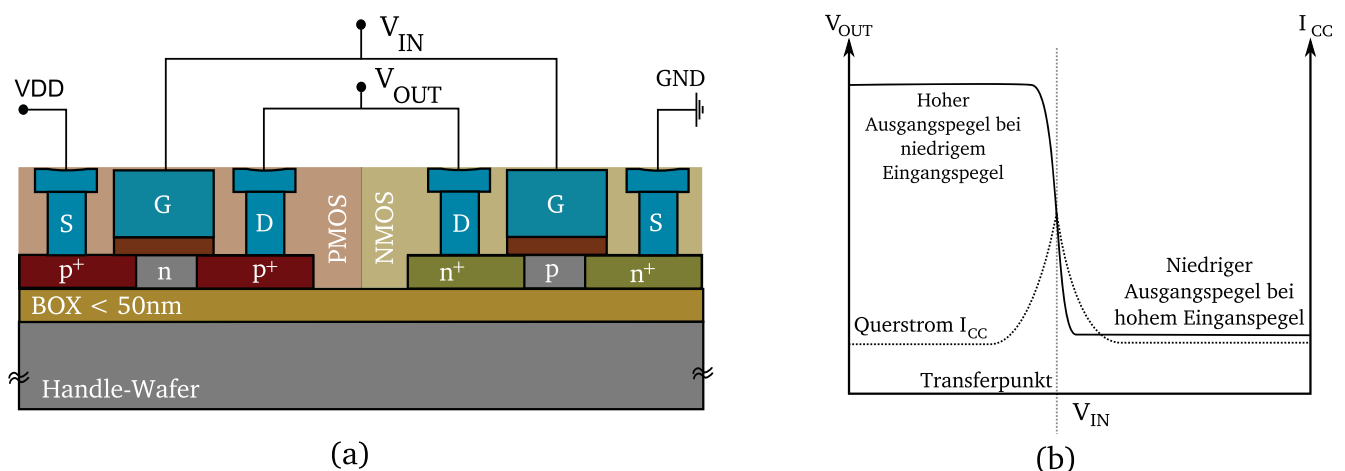


Abbildung 2.16: (a) Querschnitt durch einen CMOS-Inverter auf einem *SOI*-Substrat. (b) Idealierte Transferkennlinie eines konventionellen CMOS-Inverters mit Querstrom I_{CC} .

PMOS Transistor eingeschaltet, der NMOS Transistor hingegen nicht. Am Ausgang liegt Versorgungsspannungsniveau. Wird nun die Eingangsspannung erhöht, so kommt es zum Einschalten des NMOS Transistors. Wird die Eingangsspannung weiter erhöht, so sind beide Transistoren vollständig im Sättigungsbetrieb (grau strichlierte Linie). Während dieser Zeit fließt durch die Transistoren ein messbarer Strom von der Versorgungsspannung zum Erdpotential (schwarz strichlierte Linie). Weitere Erhöhung der Eingangsspannung schaltet den PMOS Transistor aus, nur noch der NMOS Transistor leitet und zieht die Ausgangsspannung auf Erdpotential. Eine ausführliche Behandlung des Inverters findet sich in [64].

2.9 Grundzüge der Technologie integrierter Schaltungen

In diesem Abschnitt sollen die Grundzüge der zur Herstellung integrierter CMOS-Schaltungen und der Nanodrähte verwendeten Siliziumplanartechnik vorgestellt werden. Dafür werden die technologischen Herstellungsverfahren Lithographie, Ätztechnik und Metallisierung kurz angerissen. Schwerpunkte bilden die Elektronenstrahlolithographie, Lift-Off-Technik und das Plasmaätzen mit induktiv gekoppelter Plasma Unterstützung (ICP), da diese Verfahren intensiv genutzt wurden.

2.9.1 Prinzip der Strukturübertragung

Die auf die Oberfläche der Si-Substrate zu übertragenden Strukturen werden heute mit den Mitteln der Lithographie übertragen. Hierbei wird eine strahlungsempfindliche Schicht, der sogenannte Photolack, durch Bestrahlung so verändert, dass diese sich in einem geeigneten Medium anschließend entfernen lässt (Positiv-Lacktechnik). Die zurückbleibende Schicht dient als Schutz der abgedeckten Bereiche vor dem folgenden Prozessschritt. Wird der Lack anschließend entfernt, bleibt eine strukturierte Oberfläche zurück. Unterschieden werden verschiedene Lacke, je nach ihrer Strahlungsempfindlichkeit, beispielsweise für UV-Licht oder Elektronenstrahlen. Der nächste Abschnitt beschreibt die in der Halbleiterindustrie gängigste Methode der Strukturübertragung mittels UV-Licht.

2.9.2 UV-Lithographie

Der penibel gereinigte, partikelfreie Wafer wird vor dem Lackauftrag ausgeheizt, um Restfeuchte von der Oberfläche zu entfernen, die die Lackhaftung beeinträchtigen könnte. Es folgt das Aufbringen eines Haftvermittlers, z.B. Hexamethyldisilazan ($\text{C}_6\text{H}_{19}\text{NSi}_2$, HMDS) oder Diphenylsilandiol ($\text{C}_{12}\text{H}_{12}\text{O}_2\text{Si}$) [65], durch Aufdampfen im Exsikkator, oder Aufschleudern. Dies verbessert die Haftung des aufzubringenden Photolacks auf den verschiedensten Oberflächen.

Die eigentliche Lackschicht wird durch Schleuderbeschichtung auf den Wafer aufgebracht. Je nach Viskosität des Lacks wird durch Variation der Schleuderdrehzahl, typischerweise $1000\text{min}^{-1} < U_{\text{Schleuder}} < 6000\text{min}^{-1}$, die gewünschte Lackschichtdicke eingestellt. Die Dicke wird auf den nachfolgenden Prozessschritt abgestimmt und darf die maskierende Wirkung nicht verlieren. Unterschieden wird grundsätzlich zwischen Positiv- und Negativlacktechnik. Während sich bei der Positivlacktechnik belichtete Bereiche im Entwicklungsschritt lösen, verhält

es sich mit der Negativlacktechnik genau umgekehrt. Der Lack wird in beiden Fällen nach der Beschichtung auf einer Heizplatte ausgeheizt, um das Lösungsmittel zu verdampfen. Die Lackschicht wird mit einer Maske im Schattenwurf- oder Projektionsverfahren [66] mit UV-Licht bestrahlt. Die lichtundurchlässigen Bereiche der Maske wirken dabei als Schutz für die darunter befindliche Lackschicht. Von großer Bedeutung ist, dass die eingebrachte Strahlungsdosis (in $mW \cdot cm^{-2}$) den Lack vollständig durchbelichtet, da sonst durch unbelichtete Schichten Fehler in der Strukturübertragung auftreten. Wichtigstes Kriterium bei der Photolithographie ist der Kontrast. Dieser bestimmt die Maßhaltigkeit der Maskenabbildung auf der Oberfläche des Wafers und ist verknüpft mit der eingebrachten Strahlungsdosis sowie der korrekten Wahl der Entwicklungszeit. Nach der Belichtung wird der bestrahlte Bereich durch einen Entwickler selektiv entfernt. Zurück bleibt ein Abbild der Maske im Lack. Der gesamte Belichtungsprozess ist in Abb. 2.17 dargestellt. Nach dem Entwickeln wird der Lack, je nach Weiterverwendung, auf einer

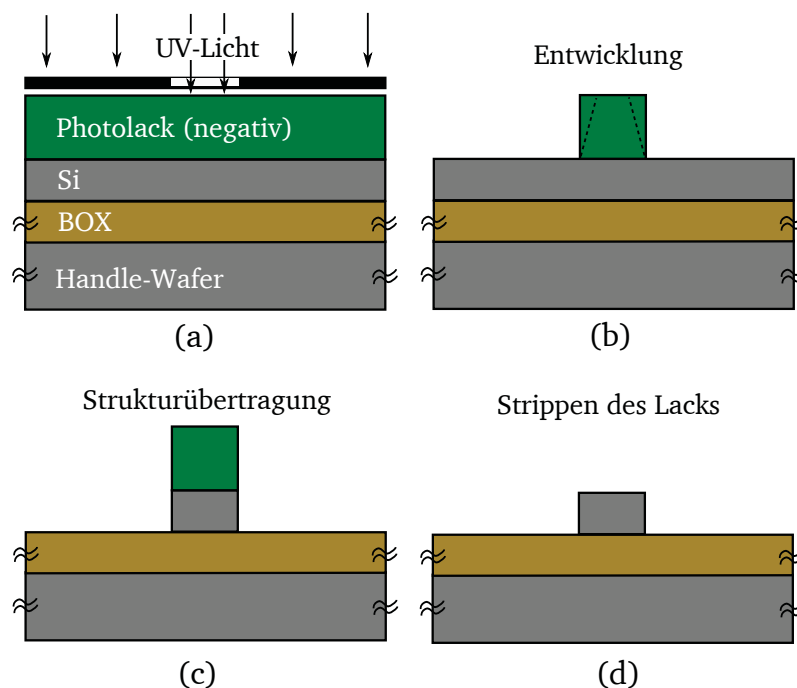


Abbildung 2.17: Belichtungsprozess im Detail. (a) Belichtung des Lacks, (b) Entwickeln der unbelichteten Bereiche (strichliert: wirkliche Strukturform nach der Entwicklung), (c) Übertragung der Struktur in die zu strukturierende Schicht, (d) Entfernung des Lacks.

Heizplatte oder mittels weiterer UV-Bestrahlung stabilisiert, um ein Verfließen bei starker thermischer Belastung, wie sie zum Beispiel beim Reaktiven Ionenätzen oder der Ionenimplantation auftreten, zu vermeiden. Schlussendlich wird die Struktur beispielsweise durch Ätztechniken auf die Oberfläche des Substrates übertragen. Zum Entfernen der Lackschicht wird ein spezieller flüssiger Remover [67] verwendet, oder bei vorangegangener hoher thermischer Belastung, ein Sauerstoffplasma eingesetzt um den Lack zu veraschen. Nach diesem Schritt wiederholt sich die Schrittabfolge für die Strukturierung weiterer Schichten.

2.9.3 Elektronenstrahlolithographie

Die Belackung erfolgt bei der Elektronenstrahlolithographie (electron beam lithography, EBL) genauso wie bei der Lithographie mit UV-Licht. Ein Unterschied besteht in der Lackzusammensetzung zwischen den im Lack vorhandenen Komplexbildnern. Für die EBL wird ein elektronenstrahlempfindlicher Polymerkomplex verwendet, auch hier gibt es Positiv- bzw. Negativlackssysteme. Die 'Belichtung' des Lacks wird mit einem Elektronenstrahl durchgeführt.

Wesentlicher Unterschied zur UV-Belichtung besteht in der Sequentialität des Belichtungsvorganges, da der Elektronenstrahl nur örtlich begrenzt zur Wirkung kommt, sodass jede Struktur einzeln geschrieben werden muss. Vergleichbar ist dieses Verfahren mit einem sehr feinen Stift, der über die Oberfläche geführt wird. Wegen der langen Laufzeiten bei der Belichtung ganzer Chips ist die EBL eher ungeeignet; die Belichtung eines ganzen 300mm-Wafers voll mit Chips würde Wochen in Anspruch nehmen. Mit UV-Belichtungssystemen wird jeweils ein kompletter Chip auf dem Wafer belichtet, was wesentlich schnellere Prozessierung erlaubt. Die zur UV-Belichtung in der nanoelektronischen Fertigung herangezogenen Masken (Retikel) werden für heutige Technologiegenerationen bei Strukturgrößen $\leq 130\text{nm}$ ausschließlich mit Hilfe der Elektronenstrahlolithographie hergestellt.

An Forschungsinstituten und Universitäten erfreut sich die direkte Belichtung ohne Masken mittels EBL großer Beliebtheit, da kleinste Strukturgrößen bis circa 10nm auch ohne kostspielige industrielle UV-Belichtungssysteme möglich werden. Üblicherweise wird hierbei nur die kleinste, dem Bauelement zugehörige, Strukturgröße - zumeist das Gate eines Transistors - mit EBL hergestellt. Größere Strukturen, wie zum Beispiel Kontakte oder Source/Draingebiete, mit UV-Lithographie. Diese Art der Prozessführung wird als 'mix & match Lithographie' bezeichnet, welche auch in der vorliegenden Arbeit zur Vorbereitung der Justagemarken für die folgenden EBL Schritte zur Anwendung kam. EBL wurde verwendet, da die Auflösungsgrenze der optischen Lithographie des IHTN lediglich bei etwa $1\mu\text{m}$ liegt, die Nanodrähte allerdings eine Breite von $\leq 100\text{nm}$ haben sollten, vgl. Kapitel 3.3. Um größtmögliche Freiheitsgrade beim Layout und Design der Nanodrähte zu erhalten, wurden hier auch die Source/Drain- und Kontaktgebiete mittels EBL hergestellt, da ansonsten für jedes einzelne Bauelement ein eigener Maskensatz für die Kontaktlöcher und Kontaktflächen hätte generiert werden müssen. Der Zeitaufwand zur Herstellung der Source/Draingebiete sowie Kontaktflächen wurde durch Wahl eines geeigneten Layouts minimiert.

Die Wellenlänge λ_e die den Elektronen eines Elektronenstrahls bei einer Beschleunigungsspannung von 10kV zugeordnet werden kann, berechnet sich nach

$$\lambda_e = \frac{h}{p} = \frac{h}{\sqrt{2m_e \cdot E_{\text{kin}}}} \quad (2.12)$$

zu $\lambda_e(10\text{kV}) = 12\text{pm}$. Der relativistische Massenzuwachs kann hier vernachlässigt werden, er beträgt lediglich 2% und verändert die zu errechnende Wellenlänge nur geringfügig. Trotz dieser extrem geringen theoretischen Wellenlänge ist die Auflösung der meisten eingesetzten Geräte technologisch begründet deutlich geringer. Mit optischer Lithographie dieser Wellenlänge wäre bei Kontaktbelichtung mit herkömmlicher Maske und einer Lackdicke von 300nm rein rechnerisch eine Auflösung von $\approx 2\text{nm}$ erreichbar. Ursächlich für die Begrenzung der Auflösung ist vor allem die starke Streuung der Elektronen beim Auftreffen auf die Lackoberfläche. Illustriert wird dies in Abb. 2.18. Simuliert wurde das Einschlagen der Elektronen auf die

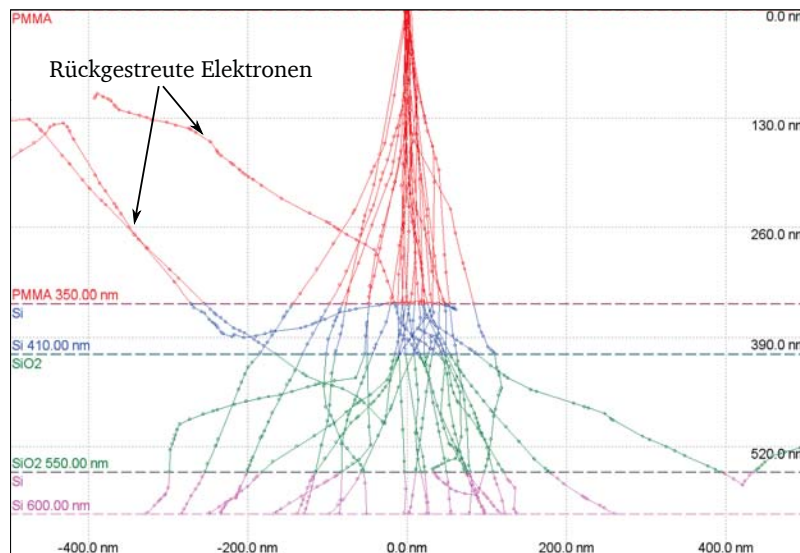


Abbildung 2.18: Monte Carlo Simulation [68] der Wege von 25 Elektronen während der EBL in eine typische Schichtfolge. Rot: Lack, blau: Top-Si, grün: BOX.

Oberfläche des elektronenempfindlichen Lackes mit einem Strahldurchmesser von 10nm. Der Strahldurchmesser wird von der verwendeten Elektronenoptik vorgegeben und ist gerätespezifisch unterschiedlich. Deutlich zu erkennen ist die zusätzliche Aufweitung des Strahls durch das Auftreffen der Elektronen auf die Lackoberfläche. Eine Rückstreuung von Elektronen tritt verstärkt an den Grenzflächen zwischen den Materialien und deren Schichtgrenzen auf. Da der Lack elektronenempfindlich ist, wirkt jedes eintreffende und rückgestreute Elektron als den Lack 'belichtendes' Teilchen. Je empfindlicher hierbei der Lack für die Anzahl an eintreffenden Teilchen, desto ungünstiger ist dies für die Prozessstabilität bei nachfolgenden Prozessschritten, wie zum Beispiel bei Plasmaätzprozessen. Abb. 2.19 zeigt schematisch den Aufbau eines

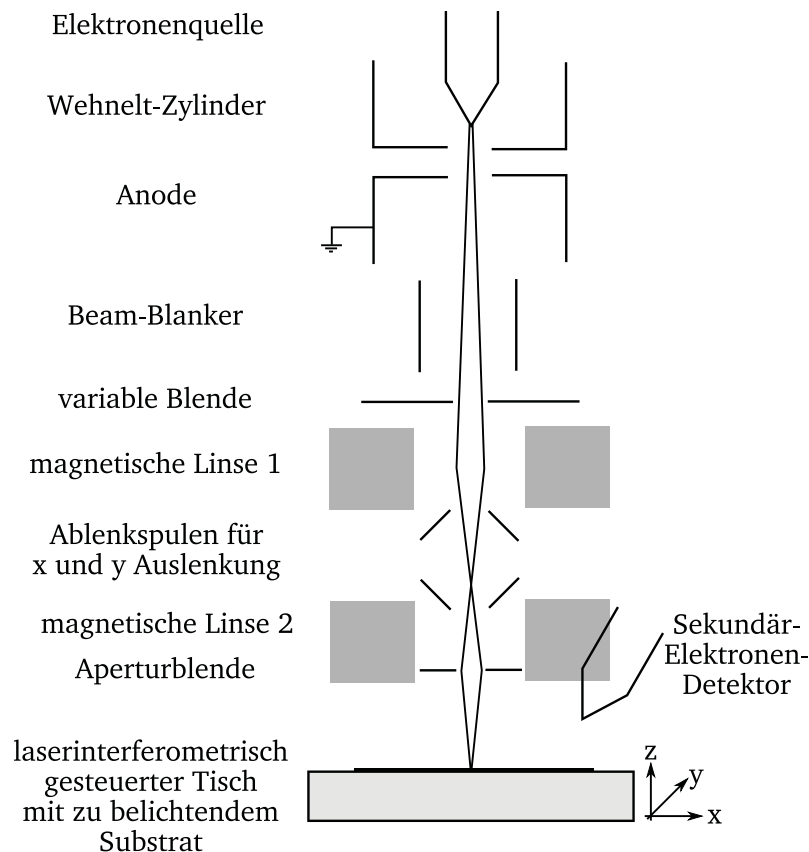


Abbildung 2.19: Schematischer Querschnitt durch ein Elektronenstrahlolithographie-System.

EBL-Systeme - eine Photographie des während der Arbeit verwendeten Systems findet sich in Abbildung 2.20. Der Strahlengang des EBL-Systems befindet sich in einer Vakuumkammer, in welcher der Elektronenstrahl durch Anlegen einer Extraktionsspannung zwischen Kathode und Anode erzeugt wird. Er durchläuft den Beam-Blanker und eine simple Lochblende, bevor er auf die erste magnetische Elektronenlinse trifft. Der Beam-Blanker dient zum Ausblenden des Strahles während der Belichtung. Die Lochblende steuert, je nach gewählter Lochgröße, den Strahldurchmesser und somit auch indirekt die maximale Auflösung. X-Y- Ablenkplatten verändern die Richtung des Strahls zum 'Schreiben' in den Lack. Als letztes folgt eine weitere magnetische Linse, auch Kondensorlinse genannt, bevor der Strahl auf die Lackschicht trifft. Um die Verweildauer des Elektronenstrahls auf der Oberfläche des Lacks bestimmen zu können, wird der durch den Strahl erzeugte Strom auf der Oberfläche des Substratträgers gemessen ($10\text{pA} < I_{\text{Probe}} < 180\text{pA}$). Wünschenswert ist ein möglichst konstanter Strom, damit die im Layout vorgegebene Strukturbreite nicht verzerrt wird.

Die Ansteuerung des Elektronenstrahls und somit die Führung des Strahls über die Oberfläche des zu belichtenden Lackes erfolgt durch Anlegen einer Ablenkspannung an die X-Y- Ablenkspulen (vergleiche Abb. 2.19). Eine Koordinatentransformation des (x, y, z) -Koordinatensystems des Tisches zu einem (u, v, w) -System auf dem Wafer korrigiert hierbei eventuell auftretende Lagefehler sowie Drehwinkelfehler. Eine Auslenkung des Elektronenstrahls in x-

y-Richtung ist wegen möglicher Verzerrungen nur in engen Grenzen sinnvoll, daher musste eine Eingrenzung des Schreibbereiches erfolgen. In der vorliegenden Arbeit wurde die Schreibfeldgröße auf $200 \cdot 200 \mu\text{m}^2$ festgelegt, was für das verwendete System ein empirisch ermitteltes Optimum darstellt. Während dieser Arbeit wurde für die gegebenen Verhältnisse eine sehr gute minimale Strukturgröße von $\approx 85\text{...}90\text{nm}$ erreicht. Das am IHTN vorhandene *Hitachi REM*

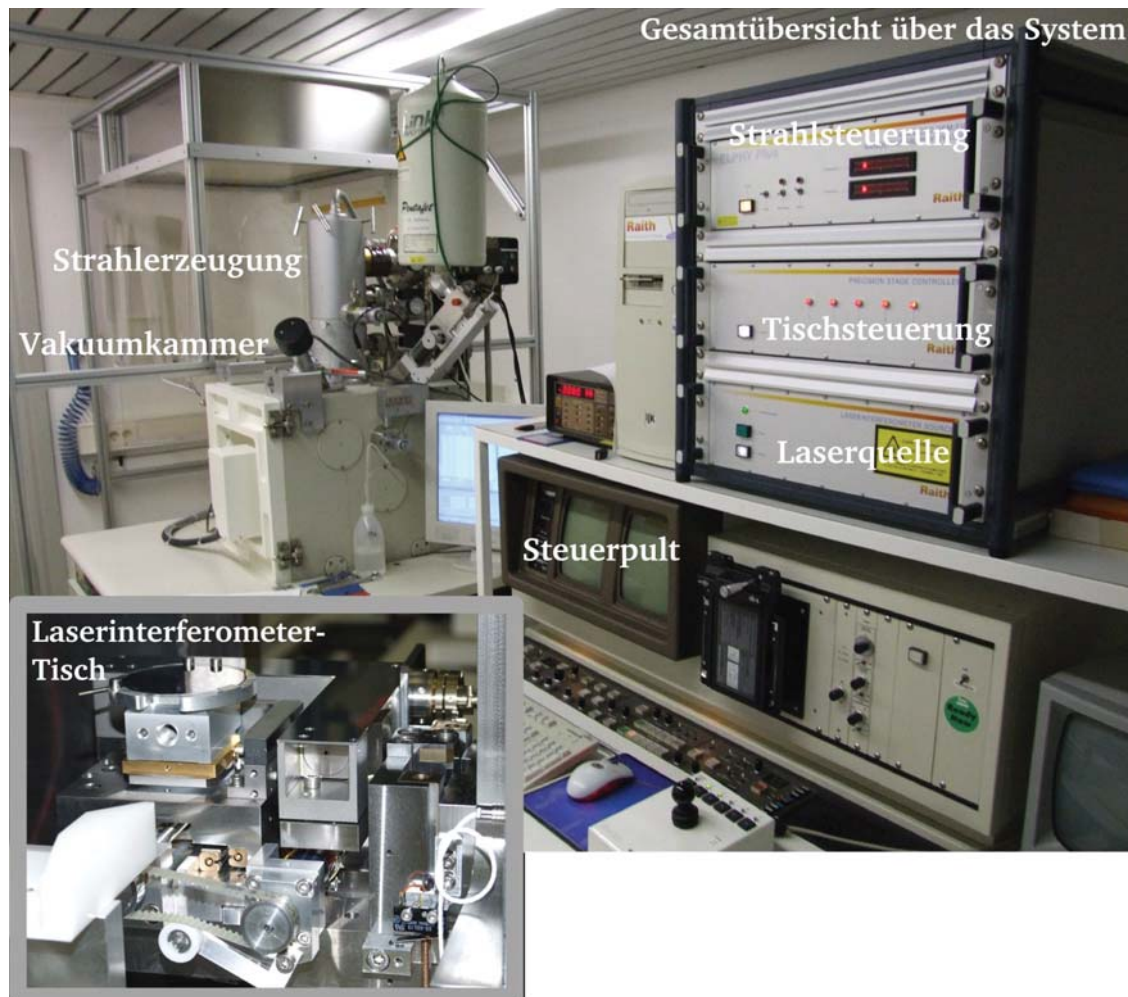


Abbildung 2.20: Photographie des EBL-Systems. Die Gesamtübersicht zeigt den Reinraum mit Steuerpult und Vakuumkammer, Strahlerzeugung und Steuerrechner des Lithographiesystems. Unten: Innenansicht des interferometrisch angesteuerten Probenstisches.

der Serie 806 wurde zu einem vollwertigen Elektronenstrahl-Lithographiesystem (EBL-System) umgebaut. Hierzu wurde von der Firma 'Raith GmbH' gefertigtes Equipment verwendet, eine Photographie des kompletten Systems zeigt Abb. 2.20. Das System steht auf einem schwingungsgedämpften Fundament, die Kammer des REM ist zusätzlich durch Stoßdämpfer von der Bodenplatte abgekoppelt. Im Inneren der Vakuumkammer befindet sich der Probenstisch, auf welchem die zu belichtenden Wafer fixiert sind. Die Tischposition innerhalb der Kammer, beziehungsweise bezüglich des Elektronenstrahls, wird durch ein Laserinterferometer kontinuierlich überwacht. Die Steuersoftware übernimmt die Steuerung der mechanischen Motoren (in Abb.

2.20 die Riementriebe) zum schnellen Anfahren der avisierten Position, anschließend wird über piezoelektrische Motoren die Feinpositionierung erreicht. Das Wiederaufahren eines so einmal angefahrenen Punktes ist mit einer Genauigkeit von circa $\pm 50\text{nm}$ möglich, was für ein mechanisches System dieser Art nahezu das erreichbare Limit darstellt.

Das *Raith Lithographiesystem* baut auf dem *Hitachi-REM* auf. Dabei wird mittels Ansteuerung der X- und Y-Ablenkplatten innerhalb der Elektronensäule des REMs eine variable Spannung $\Delta U_{x,y}$ angelegt. $\Delta U_{x,y}$ wird von der zugehörigen Steuersoftware *ElphyPlus* generiert. Auf Basis von Maskendaten, welche üblicherweise im GDS(II)-Format vorliegen, werden die gewünschten Strukturen durch x- und y- Ablenkung des Elektronenstrahls softwareseitig umgesetzt.

2.9.4 Ätztechnik

Nach der Strukturierung der Lackoberflächen erfolgt die Übertragung der in den Lack geprägten Struktur auf die Substrat-Oberfläche. Hierzu werden Nass-, beziehungsweise Trockenätztechniken angewendet. Da in der vorliegenden Arbeit letztendlich nicht dotiert wurde, wird hier lediglich auf die verwendeten Ätzverfahren, im speziellen auf die eigens für diese Arbeit entwickelten trockenchemischen Verfahren, eingegangen.

Nasschemische Ätzverfahren werden, zumindest in der modernen Technologie integrierter Schaltungen, zum Reinigen und ganzflächigem Entfernen von Schichten eingesetzt. Eine Strukturierung von funktionalen Schichten erfolgt zumeist trockenchemisch, da hier die Maßhaltigkeit der Strukturübertragung und damit der Anisotropiefaktor wesentlich höher ist als bei nasschemischen Verfahren. Der Anisotropiefaktor A_f ist ein Maß für den gerichteten Abtrag einer Schicht:

$$A_f = \frac{R_v - R_h}{R_v} \quad (2.13)$$

mit $R_{v,h}$ den Ätzraten in vertikaler, bzw. horizontaler Richtung zur Oberfläche des Substrates. Bei der nasschemischen Strukturierung erfolgt der Ätzangriff ungerichtet. Hierbei erfolgt der Abtrag in horizontaler Richtung zu nahezu 80% des Abtrags in vertikaler Richtung. Damit ist der zu erreichende Anisotropiefaktor zumeist eher gering.

Ein weiteres Maß für die Qualität eines Ätzprozesses ist die Selektivität $U_{1,2}$, d.h. der Unterschied der Ätzraten verschiedener Schichten zueinander:

$$U_{1,2} = \frac{R_1}{R_2} \quad (2.14)$$

wobei $U_{1,2}$ die Ätzzraten der verschiedenen Schichten darstellen. Wünschenswert ist eine möglichst hohe Selektivität. Im Gegensatz zur Anisotropie ist die Selektivität in den meisten nasschemischen Ätzverfahren hervorragend und nicht mit der eines trockenchemischen Ätzprozesses vergleichbar. Zusammengefasst werden die Eigenschaften eines Ätzprozesses schematisch in Abb. 2.21 dargestellt. Ein weiterer Vorteil nasschemischer Ätzprozesse [69] ist die geringe Kontamination der Oberfläche und eine hervorragende Gleichmäßigkeit des Schichtabtrages. Da die

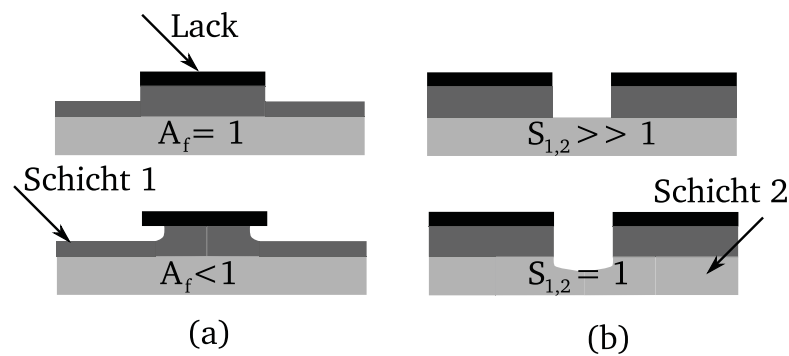


Abbildung 2.21: Anisotropie (a) und Selektivität (b) eines Ätzprozesses.

Packungsdichte der Bauelemente einer integrierten Schaltung stetig steigt, werden vornehmlich trockenchemische Ätzverfahren angewendet. Diese stellt der nächste Abschnitt vor.

Trockenchemische Ätzverfahren werden eingesetzt, wenn ein hohes Maß an Anisotropie wünschenswert ist. Man unterscheidet:

- rein physikalische,
- rein chemische und
- chemisch-physikalische

Ätzprozesse. Alle diese Ätzprozesse werden bei definiertem, niedrigem Druck (3 – 50mTorr) durchgeführt und unter Anregung des Gasgemisches, mit einer Hochfrequenzquelle (Frequenz $f \approx 13,56$ MHz), wird ein Plasma erzeugt.

Rein physikalische Ätzprozesse werden auch als Kathodenzerstäubungsverfahren bezeichnet. Schwere ionisierte Atome (zumeist Argon) treffen dabei auf die abzutragende Oberfläche und schlagen Atome aus dem Verbund heraus. Die mittlere freie Weglänge hierbei muss so groß sein, dass das zerstäubte Material abtransportiert werden kann. Größter Nachteil ist, dass nur schlechte oder gar keine Selektivität zu erzielen ist und die Oberfläche durch die Bombardierung mit geladenen Teilchen stark beschädigt wird.

Rein chemische Ätzverfahren nutzen ein Plasma zur Erzeugung von reaktiven Teilchen, die sich durch Diffusion in Richtung des zu ätzenden Substrates bewegen, eine chemische Reaktion hervorrufen und ein gasförmiges, flüchtiges Reaktionsprodukt formen, welches über eine Vakuumpumpe abgesaugt werden kann. Nachteilig hier ist die Isotropie der Bewegung der Reaktanten, die deutlich stärker ausgeprägt ist als bei der Kathodenzerstäubung.

Eine Kombination beider vorgenannter Ätzverfahren ist das reaktive Ionenätzen (RIE), welches im Rahmen dieser Arbeit verwendet wird. Es vereint sehr gute Anisotropie mit akzeptabler Selektivität. Abb. 2.22 zeigt eine Photographie der verwendeten Ätzanlage des Herstellers 'Oxford Instruments Plasma Technology', Typ Plasmalab System 100 und einen Querschnitt durch den induktiv gekoppelten (ICP)-RIE Plasmareaktor. Der Vorteil einer induktiv gekoppelten Plasmae-

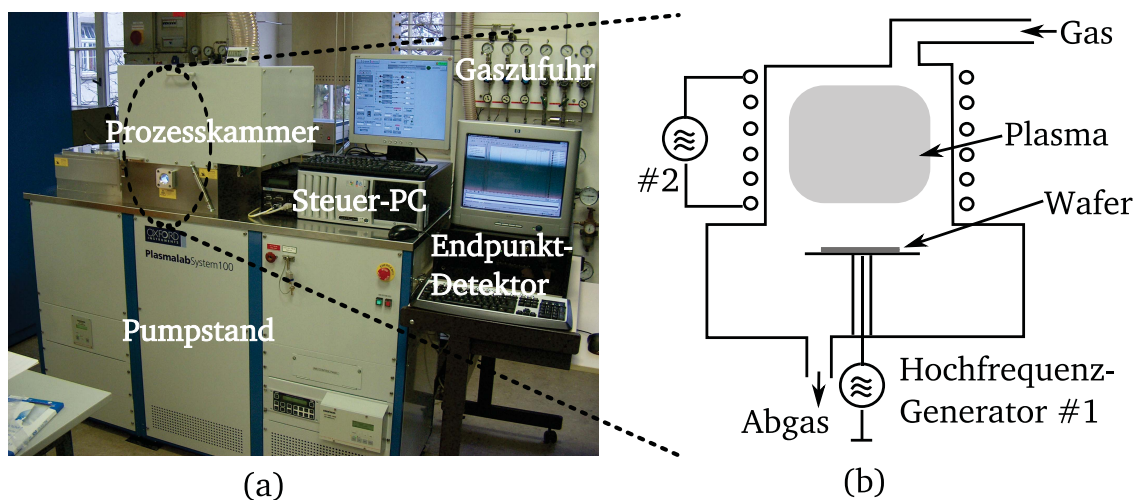


Abbildung 2.22: Photographie der RIE-ICP Anlage (a) und schematischer Querschnitt (b) durch den induktiv gekoppelten Plasmareaktor zum reaktiven Ionenätzen.

zeugung liegt in der hohen erreichbaren Plasmadichte (max. $1 \cdot 10^6 \text{cm}^{-3}$ [70]), da die ICP Quelle den Elektronen, die zur Plasmaerzeugung nötig sind, mehr Energie zuführt und somit ein hochdichtes Plasma ermöglicht. Dadurch ist es möglich, dass mit ICP Unterstützung selbst bei niedrigen Drücken ($\leq 5 \text{mTorr}$), wie sie für ein hohes Maß an Anisotropie benötigt werden, hohe Ätzraten (bis mehrere 100nm/min) zu erreichen sind, was auch aus wirtschaftlicher Sicht einen Vorteil darstellt. Die Ätzrate wird durch Anlegen einer weiteren hochfrequenten Spannung an die Kathode des Chucks, auf der sich das zu strukturierende Substrat befindet, eingestellt. Das erzeugte Plasma besteht aus ionisierten Atomen, Molekülen und Radikalen, die eine chemische Reaktion an der Oberfläche des Substrates hervorrufen. Die flüchtigen Reaktionsprodukte werden über die an die Prozesskammer angeschlossene Vakuumpumpe abgesaugt. In der Plasmachemie werden für die Strukturierung von Si, SiO_2 und Si_3N_4 zumeist Gase mit Kohlen- /Schwefelwasserstoffe (CF_4 , CHF_3 , SF_6) verwendet. Für das Ätzen von Monosilizium im industriellen Bereich hat sich Bromwasserstoffsäure, chemHBr [71], durchgesetzt. Die Strukturierung von Metallen am Ende der Prozessführung erfolgt zumeist mit chlorhaltigen Gasen (Cl_2 ,

SiCl_4 , BCl_3)[66]. Für die Veraschung von Photolack kommt ein Sauerstoffplasma zum Einsatz. Zur Prozessoptimierung wird zumeist eine Mischung dieser Gase verwendet, um Selektivität, Anisotropie und Ätzgeschwindigkeit einzustellen. So kann z.B. O_2 und He als Verdünnungsgas eingesetzt werden. Einen starken Einfluss auf den Ätzprozess haben auch der Gasfluss, der Prozessdruck und die Prozesstemperatur. Für jeden Ätzprozess gilt es eine optimale Kombination der Prozessparameter anzuwenden.

Plasmastrukturierung wurde in dieser Arbeit für die Strukturierung der Silizium-Nanodrähte verwendet. Ein hohes Maß an Anisotropie einhergehend mit akzeptabler Selektivität gegenüber SiO_2 und guter Selektivität gegenüber dem verwendeten Negativlack waren die Grundbedingungen. Tab. 2.3 zeigt die zwei wichtigsten, während dieser Arbeit entwickelten Ätzprozesse.

Ätzgas(e)	Gasfluss [sccm]	Druck [mTorr]	Temperatur [°C]	ICP- / RIE-Leistung [W]	Ätzrate [nm/min]
HBr	50	7	50	50 / 750	250
CHF_3 / Ar	10 / 40	5	30	50 / 750	200

Tabelle 2.3: Entwickelte Trockenätzprozesse für das 'Oxford Instruments Plasma Technology' *Plasmlab System 100*.

2.9.5 Metallisierung

Nachdem die Strukturen mittels Lithographie und Ätztechnik auf das Substrat übertragen wurden, steht als letzter Prozessschritt die Kontaktierung der hergestellten elektronischen Bauelemente an. Dieser Aufgabe widmet sich der Abschnitt Metallisierung. Zunächst wird ein allgemeiner Überblick über Metallisierungsverfahren gegeben, anschließend wird die zur Metallisierung der Nanodrähte verwendete Lift-off Technik vorgestellt.

Die Herstellung von Leiterbahnen und Kontakten kann mit verschiedenen Verfahren erfolgen. Nennenswerte Verfahren sind:

- Aufdampfverfahren,
- Kathodenzerstäubungsverfahren (Sputtern / Co-Sputtern) und
- chemische Gasphasenabscheidungsverfahren.

Eingegangen wird hier lediglich auf das Aufdampfverfahren, da dieses zur Kontaktierung der Nanodrähte verwendet wird. Beim Aufdampfen wird das auf eine Oberfläche aufzubringende Material in einer Vakuumkammer zum Schmelzen gebracht und bis zum Erreichen des Verdampfungspunktes erhitzt. Die mittlere freie Weglänge der Teilchen im Vakuum erlaubt, dass das verdampfende Metall sich auf die, in geringer Entfernung befindliche, Oberfläche niederschlägt. Die Dauer des Prozesses ist direkt proportional mit der Schichtdicke verknüpft. Eine Messung der bedampften Schichtdicke wird mittels eines Schwingquarzes durchgeführt. Dieser Schwingquarz schwingt zu Beginn des Prozesses mit der Frequenz f_0 und der Masse m_0 . Setzt die Verdampfung des Metalls ein, so wird auch der Schwingquarz mit Metall beschichtet - damit ändert sich seine Gesamtmasse - wodurch sich die Eigenfrequenz ändert. Diese Veränderung der Eigenfrequenz f kann mit der Masse m in folgende Beziehung gebracht werden [72]:

$$\frac{\Delta f}{f_0} = \frac{\Delta m}{m_0} \quad (2.15)$$

Die Beziehung zwischen dem Abstand der zu bedampfenden Oberfläche und dem Abstand des Schwingquarzes von der Bedampfungsquelle wird als Proportionalitätsfaktor am Steuergerät des Bedampfungssystems 'Balzers BPU 100' eingestellt. Dieser Faktor ist für jedes aufzudampfende Material-(system) unterschiedlich und muss zuvor empirisch ermittelt werden. Da das Aufbringen eines Metalls mit den Bedampfungsverfahren nur ganzflächig möglich ist, wird zur Strukturierung die Technik der Photolithographie benötigt, vergleiche Kapitel 2.9.1. Da in der Prototypenentwicklung allerdings häufig unterschiedliche Geometrien kontaktiert werden, wurde auch die Kontaktierung mittels EBL durchgeführt, da sonst für jede neuartige Bauelementgeometrie ein eigener Maskensatz hätte entwickelt werden müssen.

Nach der Metallisierung wurde das in dieser Arbeit verwendete Nickel mittels eines Tempereschrittes in Ni_xSi_y umgewandelt. An Stellen an denen das Nickel nicht auf Silizium zur Reaktion trifft (beispielsweise auf dem BOX des *SOI*-Substrates) bleibt es chemisch unverändertes reines Ni. Eine Beschichtung mit Aluminium auf dem Nickelsilizid stellt anschließend einen guten ohmschen Kontakt zum Ni_xSi_y her [73].

Zur Herstellung der Prototypen wurde auf einen eigens entwickelten Lift-off Lithographieschritt zurückgegriffen, welcher in Abb. 2.23 skizziert ist. Der Lift-off für EBL gestaltet sich sehr ähnlich zu dem Verfahren mit UV-Lithographie, allerdings ist dem Autor zu diesem Zeitpunkt kein handelsübliches Lift-off System für EBL bekannt. Daher wurde aus verschiedenen Lackserien des Herstellers 'Allresist' ein Zwei-Lagen-Lift-off System für EBL entwickelt. Als überzeugendes System wurde eine Kombination aus dem PMMA mit der Handelsbezeichnung 'AR5480' [74] und dem elektronenstrahlsensitiven Lack 'AR7400-18' [75] verwendet. Abb. 2.23 (a) zeigt das mit dem Zweilagensystem belackte und belichtete Substrat, in Abb. 2.23 (b) wurde der Lack ent-

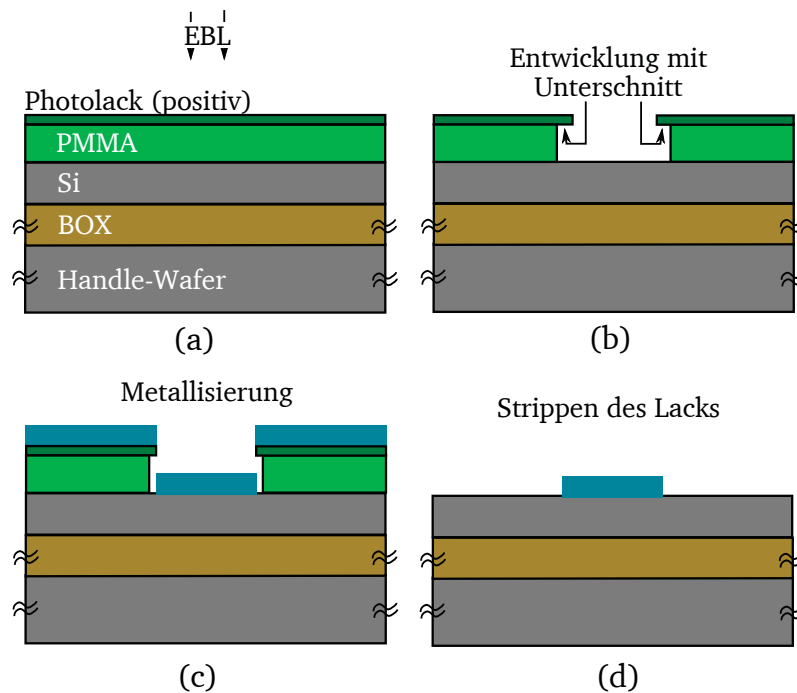


Abbildung 2.23: Schematischer Querschnitt des Prozessablaufs eines Lift-off Prozesses.

wickelt und es bildete sich der für den anschließenden Abhebeschritt notwendige Unterschnitt im PMMA. Dieser Unterschnitt gewährleistet beim Strippen des Lackes eine möglichst große Angriffsfläche für den verwendeten Remover [67]. In Abb. 2.23 (c) wird die entsprechende Metallschicht auf den Wafer aufgebracht. Abb. 2.23 (d) zeigt die fertig strukturierte Oberfläche nach dem Strippen des Lackes.

Kapitel 3

Herstellung von Silizium-Nanodrähten



Für die Fabrikation der neuartigen Bauelemente wurde die am IHTN vorhandene CMOS-Prozesslinie, die vom blanken Wafer bis zur fertigen, im Gehäuse befindlichen Schaltung, alle Bereiche der Technologie integrierter Schaltungen abdeckt, verwendet. Dieser Teil der Arbeit befasst sich mit der Beschreibung der zur Herstellung der spannungs-selektierbaren Silizium-Nanodrähte verwendeten Technologien und Methoden. Der Vorteil von Nanodrähten, die in Prozesstechnologie der Siliziumplanartechnik und nicht mittels beispielsweise chemischer Gasphasenabscheidung (CVD) mit der Vapour-Liquid-Solid-Technik [76] hergestellt wurden, ist der, dass die Position der Bauelemente exakt bekannt ist und sich somit auch eine Massenfertigung - ohne die Notwendigkeit der manuellen Manipulation [77] einzelner Bauelemente hin zu deren endgültiger Position - einfach realisieren lässt.

3.1 Vorbereitende Untersuchungen - Materialwahl und Vorversuche

Zur Herstellung der Nanodrähte wurde auf *Silicon-on-Insulator-Substrate (SOI)* zurückgegriffen. Die unterschiedlichen verwendeten Substrattypen und deren Vorbereitung werden hier kurz beschrieben. Es werden erste Vorversuche mit Materialien und Bauelementen vorgestellt, die mit optischer Lithographie realisiert wurden, da zunächst zu klären war, ob die prozesstechnischen Gegebenheiten am IHTN die Verarbeitung von *SOI*-Substraten zulässt.

3.1.1 Substratmaterial

Zu Beginn der Arbeit stand am IHTN lediglich ein Typ *SOI*-Material zur Verfügung. Es handelte sich hierbei um SIMOX Wafer (vgl. Kapitel 2.2), die freundlicherweise von Siemens-Infineon bereitgestellt wurden.

Da alle diese Substratmaterialien fertigungsbedingt nur als 6 Zoll, oder gar 8 Zoll große Wafer vorlagen, die Wafergröße allerdings wegen der Durchgängigkeit der CMOS-Prozesslinie des IHTN auf maximal 4 zöllige-Substrate begrenzt ist, war es nötig die Substrate vor der Verwendung auf eine kleinere Größe zuzuschneiden. Hierfür wurde die Spezialfirma 'Laser-Feinschneiden-Feinschweißen' im Industriepark Frankfurt/Oder beauftragt. Einen exemplarischen Schnittplan zeigt Abb. 3.1. Bevor die Substrate mittels Laserstrahlen zerschnitten werden, wird auf die 70nm dicke Top-Silizium Schicht ein PECVD Schutzoxid der Dicke 750nm abgeschieden, um die Siliziumschicht vor mechanischer Beschädigung zu schützen. Danach wird der 8 Zoll Wafer, je nach Bedarf, in 2 Zoll und/oder 4 Zoll Wafer zerteilt. Hierbei ist unbedingt zu beachten, dass die Einstichstelle des Laserschneiders auf der Vorderseite des Substrates zu erfolgen hat, da sich das glühend austretende Schnittgut auf der Unterseite des Substrates anlagert,

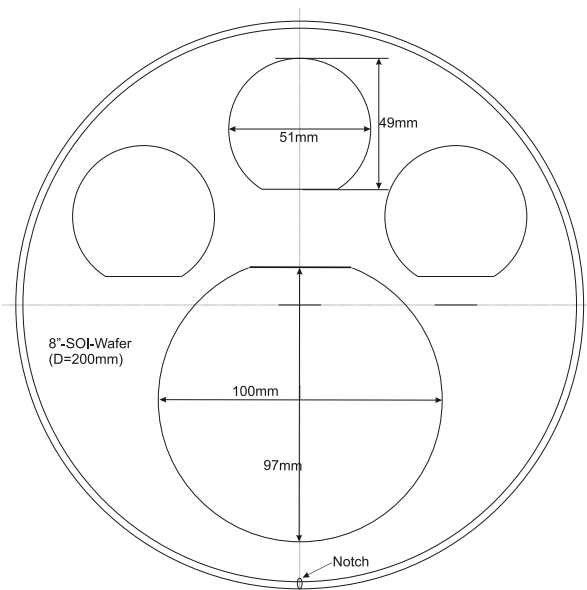


Abbildung 3.1: Exemplarischer Schnittplan zum Laserschneiden eines 8 Zoll-SOITEC Substrates.

hier kann es dann leicht durch mechanische Einwirkung entfernt werden und die Vorderseite bleibt unbeschädigt. Nachdem die gewünschte Wafergröße, beispielsweise 2 Zoll, hergestellt wurde, wird die Schutzschicht aus PECVD Oxid nasschemisch entfernt und der Wafer ist bereit für den eigentlichen Fertigungsprozess.

3.1.2 Voruntersuchungen zur Prozessierbarkeit von *SOI*-Wafern

Da es in der Prozesslinie des IHTN keine Erfahrungen mit der Prozessierung von *SOI* und ultradünnen *SOI*-Wafern gab, war es zunächst nötig die Prozesslinie auf die Prozessierbarkeit dieser Wafer zu prüfen. Hierzu wurden die Chargen der Versuchsreihe *QD* gestartet, die aus Kostengründen mit den vorhandenen Wafern der Hersteller 'IBIS'- und 'Wacker' (vgl. Tab. 3.1) durchgeführt wurde. Ziel der Voruntersuchungen war es, Erfahrungen im Umgang mit den Unterschieden der *SOI*-Wafer zur bisher am IHTN verwendeten Bulk-Si Technologie zu erlangen. Prozessbegleitend zu *QD* wurde die Prozessführung mittels 'TSUPREM-4' [78] simuliert.

Material	Herstellungsprozess	Top-Si[nm]	BOX[nm]	Dotierung[cm ⁻³]
IBIS	SIMOX	180	370	P-Typ 1x10 ¹⁵
Wacker	Wafer-Bonding	50	100	N-Typ 1 – 2x10 ¹⁵
SOITEC	Wafer-Bonding	70	145	P-Typ 1 – 2x10 ¹⁵

Tabelle 3.1: Unterschiedliche zur Untersuchung herangezogene *SOI*-Materialien, aufgeschlüsselt nach entsprechenden Technologieparametern.

Wichtige Ergebnisse lieferte die Simulation zur Prozessführung insbesondere bei der Ionenimplantation, da der hauseigene Mittelstromimplanter lediglich bei Implantationsenergien von $55\text{keV} < E_{\text{imp}} < 220\text{keV}$ einen konstanten Strahlstrom erzeugt. Diese Energie ist allerdings zu hoch, um das Maximum der eingebrachten Dotierstoffkonzentration an der Oberfläche des Top-Si zu lokalisieren. Ein relativ dickes thermisches Oxid von $d_{\text{ox}} = 20\ldots 50\text{nm}$ half zunächst dieses Problem teilweise zu umgehen, da die Dotierstoffverteilung hierdurch in Richtung Top-Si verschoben wird. Ein weiteres Problem resultierte in der unterschiedlichen Grunddotierung der verwendeten Substrate. Da die Ergebnisse möglichst vergleichbar sein sollten, wurden die wenigen vorhandenen P-Typ-Wafer auf eine Grunddotierung von $1 - 2 \cdot 10^{15}\text{cm}^{-3}$ Phosphor, also N-Typ, umdotiert. Dies begründete sich allein durch die größere Menge vorhandener N-Typ-Wafer. Insgesamt wurden 5 Chargen mit je 5 Wafern mit verschiedenen Parametern prozessiert, beispielhaft sollen hier einige Ergebnisse präsentiert werden.

Die Strukturierung der Wafer für die Vorversuche wurde der Einfachheit halber mittels optischer Lithographie durchgeführt. Da für die Vorversuche kein eigener Maskensatz hergestellt werden sollte, wurde auf mehrere bereits verfügbare Masken zurückgegriffen. Den Prozessablauf stellt Abb. 3.2 schematisch dar. Nach der trockenen Oxidation zur Herstellung des Gateoxids wurde hochdotiertes polykristallines Silizium als Gateelektrode aufgebracht. Danach wurden die SOI-typischen Bauelementinseln hergestellt, wozu zwei verschiedene Masken mit quadratischen Strukturen mit $6,4\text{mm}$ bzw. $900\mu\text{m}$ Kantenlängen verwendet wurden. Die anschließende dreistufige Ätzung erfolgte im Plasmaätzer *Plasmatherm 420* in SiCl_4 Atmosphäre. Zur Definition des Gatekontaktes wurden zwei verschiedene Streifenmasken verwendet, eine mit $600\mu\text{m}$ breiten Streifen und eine mit von 3 bis $21\mu\text{m}$ breiten Streifen, aufsteigend in $1\mu\text{m}$ Schritten. Die so entstehende Struktur wurde wiederum mittels SiCl_4 Plasma in das Polysilizium übertragen. Nach dem Ablacken und Reinigen ist die Struktur aus Abb. 3.2 (c) fertiggestellt und bereit zur elektrischen Charakterisierung, da für die Vorversuche keine Metallisierung vorgenommen wurde, sondern der Kontakt über die Nadeln des verwendeten Waferprobers hergestellt wurde. Dieses Vorgehen wurde für die Vorversuche als ausreichend erachtet. Die $n^+/n/n^+$ -Struktur, oder auch der 'gated-resistor', aus Abb. 3.2 (d) durchläuft anschließend die - bereits zu Beginn des Abschnittes angesprochene - Ionenimplantation und wird ebenfalls über Probernadeln elektrisch kontaktiert. Die Ionenimplantation wurde zunächst mit dem Technologiesimulator TSuprem4 simuliert, exemplarisch sei hier die Simulation vor und nach der notwendigen Aktivierungstemperung der komplett gefertigten 'gated-resistor'-Struktur demonstriert (Abb. 3.3). Zur Implantation wurde die am IHTN minimal erreichbare Energie von $E_{\text{imp}} = 50\text{keV}$ verwendet. Abb. 3.3 (b) und (d) verdeutlichen, dass die gewünschte Form des Dotierstoffprofils erst nach der Aktivierungstemperung entsteht. Zusätzlich dazu wird das BOX durch den Ionenbeschuss geschädigt, dies führt zu erhöhten Leckströmen zwischen Handle-Wafer und Top-Si und beeinträchtigt somit die Bauelementperformance. Monte-Carlo-Simulationen mit der Software

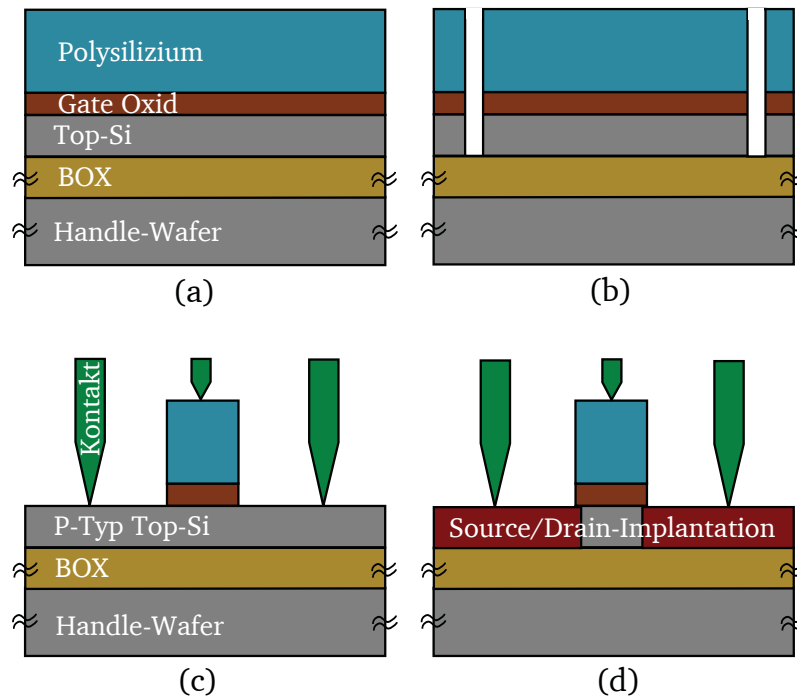


Abbildung 3.2: Schematischer Prozessablauf zur Herstellung der Teststrukturen der Charge QD. (a) Schichtstapel auf dem SOI-Wafer nach Gatestackabscheidung, (b) voneinander getrennte Bauelementinseln, (c) Nanodraht mit Schottky-S/D-Kontakten, (d) Nanodraht mit implantierten Source und Draingebieten als 'gated-resistor'.

SRIM2008 zeigten, dass es womöglich sinnvoll ist eine PECVD-SiO₂ Schicht auf die zu implantierenden Gebiete aufzubringen, um das Maximum der Dotierstoffkonzentration in Richtung der Oberfläche des Top-Si zu verschieben. Da die PECVD-SiO₂ Schicht nach der Implantation wieder entfernt werden müsste, wäre eine Ätzung mit BHF nötig. In Anbetracht der anstehenden Skalierung der Bauelemente hin zu echten Nanodrähten, wurde diese Idee wieder verworfen, da sich die skalierten Strukturen bei der Entfernung des Streuoxids durch die unvermeidbare Unterätzung ebenfalls von der Oberfläche des Wafers gelöst hätten.

3.1.3 Elektrische Charakterisierung der Prozesslinien-Vorläufer

Die nach iterativen Verbesserungen der Prozessabläufe hergestellten Bauelemente wurden elektrisch charakterisiert, begleitend dazu wurden einfache Simulationen zum elektrischen Verhalten der Bauelemente mit dem Simulatorpaket *Medici* der Firma Synopsys [79] durchgeführt. Den Messaufbau verdeutlicht Abb. 3.4. Die Messungen wurden mit einem Waferprober des Typs *HP 4142B* durchgeführt. Während der Messungen stellte sich heraus, dass die Materialqualität der für die Vorversuche verwendeten SOI-Wafer sehr schlecht war, so zeigte sich beispielsweise bei allen Wafers ein hoher Leckstrom durch das BOX. Einerseits ist der Leckstrom durch die hohe Implantationsdosis mit großer Eindringtiefe in das BOX und die dadurch generierten Fehlstel-

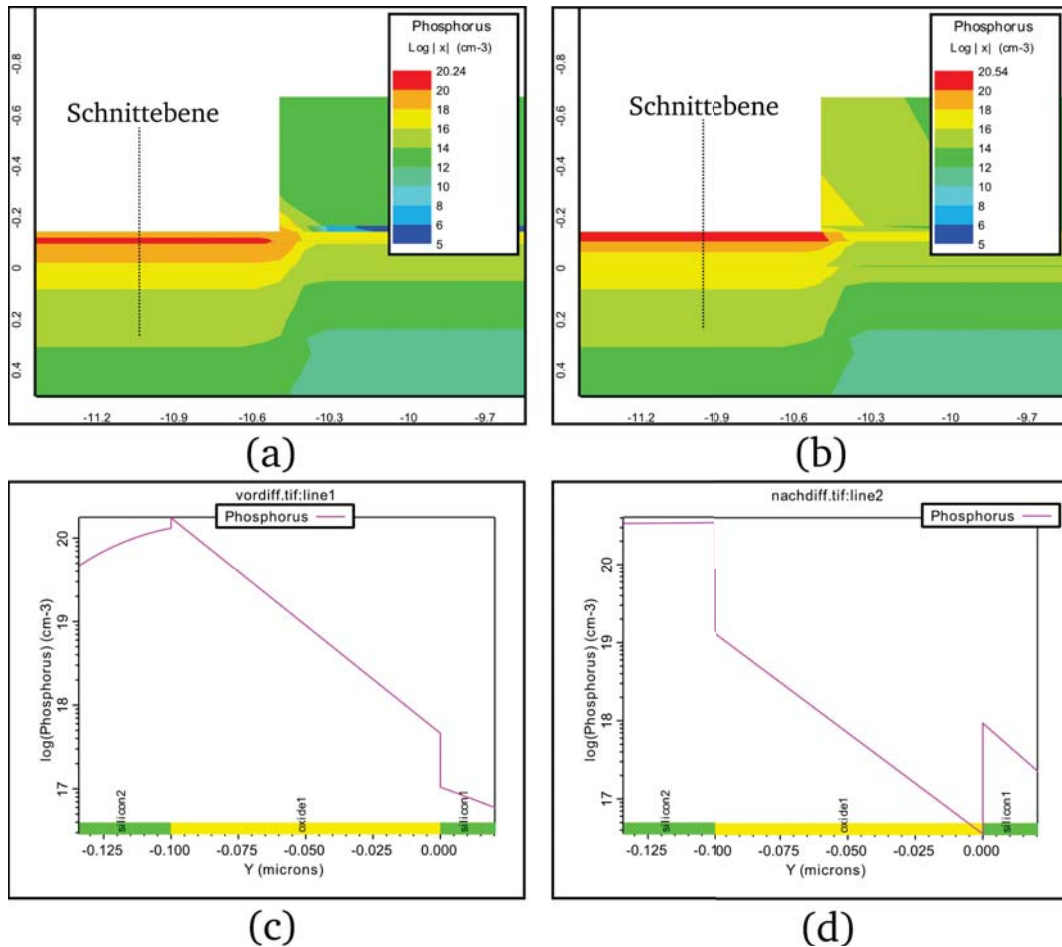


Abbildung 3.3: TSuprem4-Simulation der Ionenimplantation für die Vorversuchscharge QD3. (a) S/D-Phosphorimplantation vor und (b) nach Aktivierungstemperung. (c) und (d) korrespondierende Dotierstoffprofile zu (a) und (b).

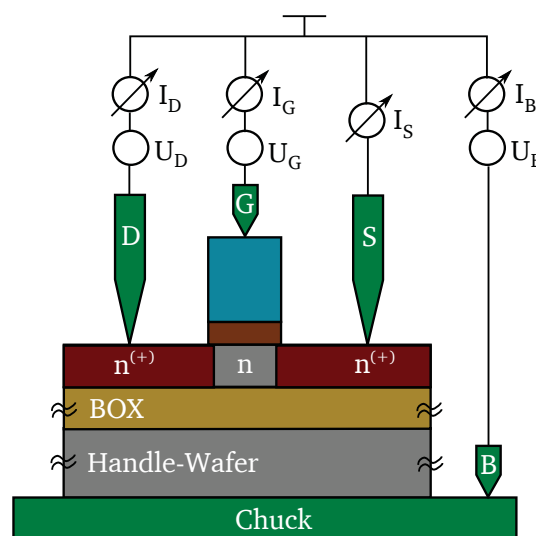


Abbildung 3.4: Messaufbau zur Charakterisierung der Vorläufercharge QD. Die Kontaktierung erfolgt hier direkt, ohne Metallisierung, über die Wolfram-Nadeln des Wafer-Probers.

len im Oxid zu erklären. Andererseits ergaben Nachforschungen zur Herstellungstechnologie der Wafer, dass beide verwendete Substrattypen aus der Zeit der Prototypen-Entwicklung der SOI-Technologie entstammten. Entsprechend mussten die Messparameter diesen Bedingungen angepasst werden. Hierbei musste darauf geachtet werden, dass die Strukturen funktionsfähig bleiben sowie ein sichtbarer Steuereffekt über Front- und Backgate zu erkennen ist. Weiteres Kriterium ist, dass auftretende Leckströme deutlich (mindestens Faktor 100 bis 1000) kleiner als der zu messende Strom sein sollten. Die Leckströme durch das BOX traten bereits bei Kontaktierung der Oberfläche eines unprozessierten Wafers auf, was darauf schließen lässt, dass das BOX Einschlüsse aus Silizium enthält, welche bereits bei der Herstellung der Wafer (vgl. Kapitel 2.1) vorlagen. Daher sind die Chargen mit $6,4 \cdot 6,4 \text{ mm}^2$ SOI-Inseln für elektrische Messungen bereits nicht mehr geeignet, da die verhältnismäßig große Siliziuminsel zu viele einzelne Fehlstellen des BOX addiert und der Leckstrom ähnliche Dimensionen annimmt wie der Strom I_{DS} von Drain nach Source. Trotz hoher Defektdichte und geringer Ausbeute fanden sich auf den Substraten mit kleineren Bauelementinseln funktionsfähige Bauelemente, die elektrisch charakterisiert werden konnten. Die erzielten Ergebnisse der Vorversuche sind für den weiteren Verlauf der Arbeit richtungsentscheidend, werden hier präsentiert und anschließend den simulierten (idealisierten) Ergebnissen gegenübergestellt.

Die im Folgenden ausführlich dargestellten Ergebnisse entstammen den Chargen QD3 und QD5, die nach der Prozessierung eine Top-Si Dicke von 30nm (QD3) und 150nm (QD5) aufweisen. Die Gateoxiddicken belaufen sich auf 25nm (QD3), respektive 55nm (QD5). Die Kennlinien

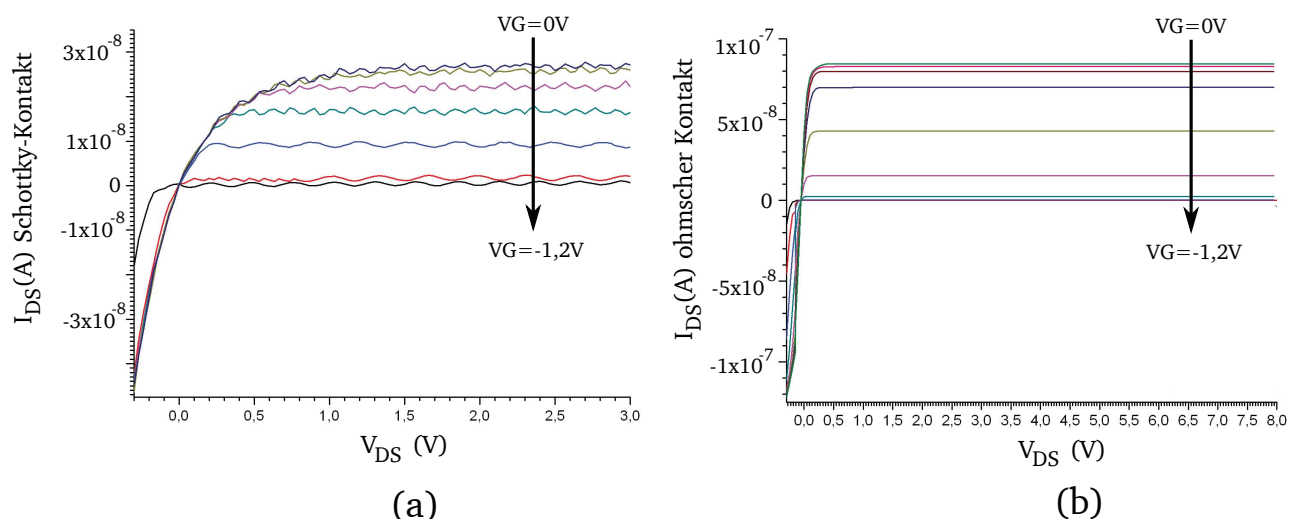
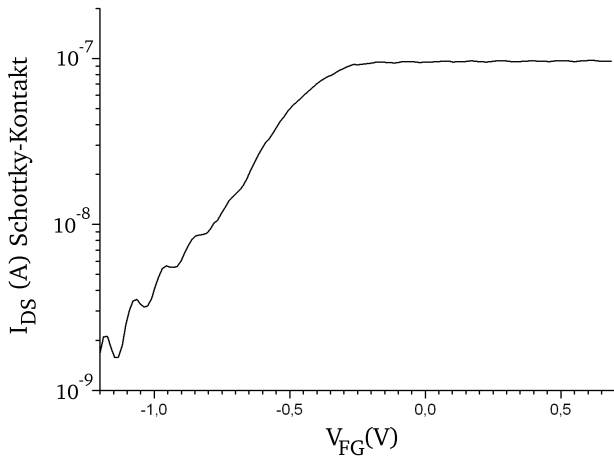


Abbildung 3.5: Ausgangskennlinienschar der MOS Bauelemente aus Charge QD3 nach Abb. 3.4. Elektrische Messung für ein Bauelement mit Schottky-Source/Drainkontakt (a) und mit ohmschem Source/Drainkontakt (b).

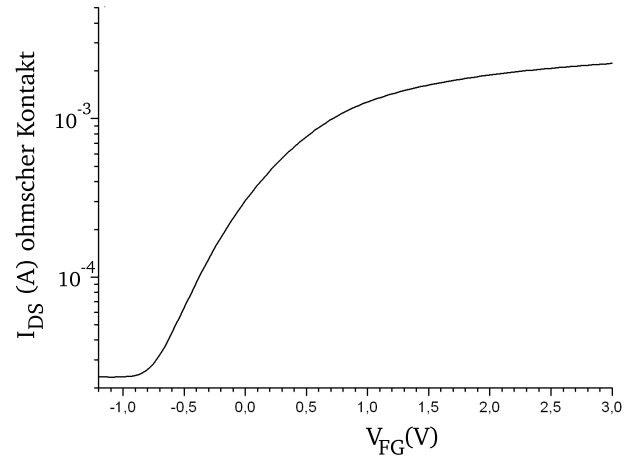
der Bauelemente aus Charge QD3 in Abb. 3.5 zeigen eindeutig ein feldabhängiges Transistorverhalten der Bauelemente. Es ist zu erkennen, dass der Maximalwert des Ausgangsstromes

der Bauelemente zwischen jenen mit Schottky-Source/Drain- und jenen mit ohmschen Source/Draingebieten unterschiedlich ist. Die reduzierten Maximalströme der Bauelemente mit Schottky-Barrieren resultieren vermutlich aus der direkten Verwendung der Probernadeln als 'Metallisierung', welche durch den punktförmigen Kontakt zum Silizium einen sehr hohen Kontaktwiderstand zum niedrig dotierten Top-Si aufweisen. Die maximalen Ausgangsströme der 'gated-resistor' Struktur sind hingegen um circa Faktor 10 größer, als die der Schottky-Kontakt Bauelemente. Dies ist durch die Verwendung der nahezu ohmschen Kontakte an Source/Drain zu erklären. Deutlicher ist der Unterschied für die Maximalströme der Charge QD5 zu erkennen, siehe Abb. 3.6 (a) und (b). Hier ist der Faktor des Unterschiedes in Maximalstrom circa 10000. Dieser Unterschied resultiert vermutlich aus der starken Materialschädigung der Substrate aus Charge QD3 durch die Umdotierung der N-Typ Wafer des Herstellers 'IBIS' um für die Vorversuche einheitliche Startbedingungen zu schaffen. Trotzdem ist die feldabhängige Steuerbarkeit des Ausgangsstromes bei beiden Bauelementtypen durch das vorderseitige Gate gegeben, auch findet eine - bei MOSFETs typische - Sättigung des Ausgangsstromes statt. Zusätzlich wurde das Unterschwellenverhalten der Bauelemente charakterisiert wie in Abb. 3.6 dargestellt. Exemplarisch werden hier nur die Unterschwellenkennlinien der Bauelemente mit dickem Top-Si (QD5) vorgestellt. Die Unterschwellenkennlinien der Bauelemente der Charge QD3 mit dünnen Top-Si sind vergleichbar mit denen aus QD5 und werden nicht gesondert vorgestellt. Das simulierte Unterschwellenverhalten aus Abb. 3.6 (c) und (d) ist mit $S_{\text{sim,Schottky}} = 90\text{mV/dec}$ und $S_{\text{sim,gated-resistor}} = 75\text{mV/dec}$ vielversprechend bezüglich der Performance und nahe dem erreichbaren Limit von $S_{\text{ideal}} = 60\text{mV/dec}$. Diese Güte wird von den gefertigten Bauelementen allerdings nicht erreicht (Abb. 3.6 (a),(b)). Es ergeben sich $S_{\text{meas,Schottky}} = 700\text{mV/dec}$ und $S_{\text{meas,gated-resistor}} = 400\text{mV/dec}$. Die Bauelementgeometrie, mit mehreren nebeneinander befindlichen Gatestrukturen auf der Oberfläche der SOI-Inseln, die geringe Kontaktfläche aufgrund der Verwendung der Messspitzen sowie die Materialqualität spielen eine erhebliche Rolle. Es stellte sich heraus, dass das BOX wegen seiner hohen Defektdichte resultierend aus der Herstellungsmethode auch Ladungsträger an der Grenzfläche einfängt und Leckstrom behaftet ist. Somit wurde es als untauglich für die weiterführenden Arbeiten an nanoskaligen CMOS Bauelementen eingestuft. Aus diesem Grund wurde nachfolgend auf SOI-Substrate des Herstellers 'SOITEC' zurückgegriffen die im UNIBOND Verfahren hergestellt wurden und daher eine deutlich bessere BOX Qualität aufweisen als die für die Vorversuche verwendeten Substrate (siehe Tabelle 3.1).

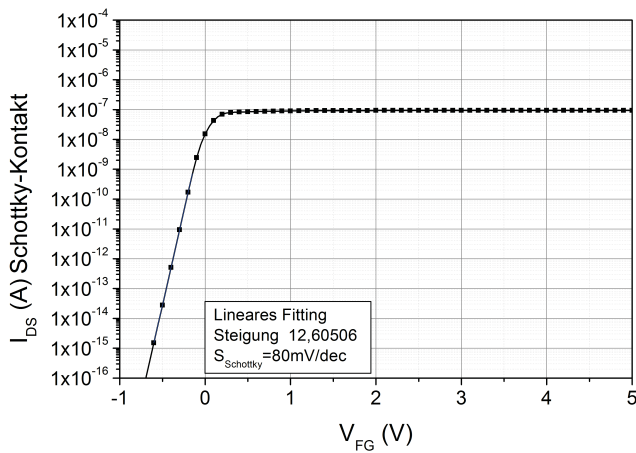
Zusammenfassend können aus den Vorversuchen folgende Schlussfolgerungen gezogen werden: es wurde gezeigt, dass SOI-Wafer in der Prozesslinie des IHTN prozessiert werden können. Der Vergleich zwischen Simulation und Messung zeigt, dass noch erhebliches Verbesserungspotential vorhanden ist. Durch die Skalierung der Bauelemente hin zu nanoskaligen Größen ($\leq 100\text{nm}$) in Verbindung mit aufgedampften Source/Drain Kontakten wird die Möglichkeit der Charakterisierung der intrinsischen elektrischen Kenngrößen der Bauelemente erwartet.



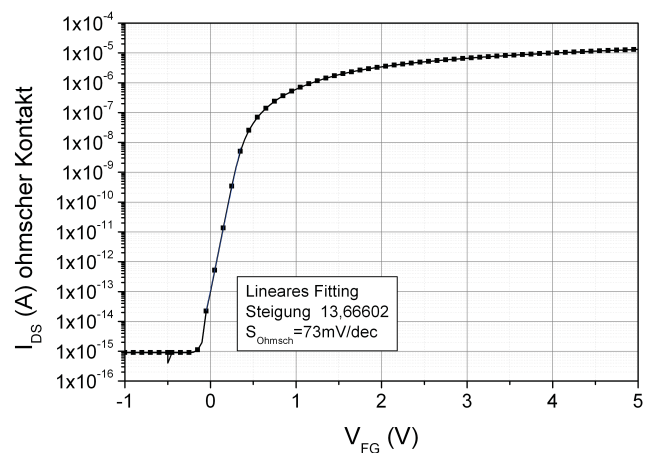
(a)



(b)



(c)



(d)

Abbildung 3.6: Unterschwellenkennlinie der MOS Bauelemente aus Charge QD5. (a) elektrische Charakterisierung für Schottky-Source/Drain- und (b) ohmschen Kontakt, (c),(d) Medici Simulation korrespondierend zu (a),(b).

3.2 Sub-100nm Elektronenstrahlolithographie

In diesem Abschnitt werden vorbereitende Schritte für den Herstellungsprozess der Silizium-Nanodrähte erläutert. Hierfür wird zunächst eine Übersicht über die Vorbereitung der Wafer auf die verwendete Mehrlagen-Elektronenstrahlolithographie gegeben, zudem wird das Problem des Findens eines geeigneten Justagemarkenmaterials angesprochen. Im Abschnitt 3.3 wird anschließend die Generation des Layouts der Bauelementstruktur mittels des Softwarepakets ElphyPlus der Firma 'Raith GmbH', die Strukturübertragung auf den Wafer und die selbst entwickelte Doppel- und Dreifachlacktechnik beschrieben.

3.2.1 Präparation der Substrate

Da die Herstellung von Mikrostrukturen am IHTN mittels optischer Lithographie nur Strukturgrößen bis circa $1\mu\text{m}$ zulässt, musste für die Herstellung der Nanostrukturen auf das zum Elektronenstrahlbelichtungssystem umgebaute Rasterelektronenmikroskop *Hitachi REM S806* zurückgegriffen werden (siehe Abschnitt 2.9.3). Zur Belichtung eines Wafers mit Hilfe der Elektronenstrahlolithographie ist es zwingend erforderlich Orientierungspunkte auf der zu belichtenden Oberfläche einzurichten - im Folgenden Justagemarken genannt. Diese Justagemarken müssen sich deutlich vom Hintergrund des Wafers abheben, also möglichst kontrastreich sein. Kontrastprobleme sind im speziellen bei *SOI*-Wafers zu erwarten, da sich das unter dem Top-Silizium befindliche vergrabene Oxid durch den Elektronenbeschuss während des Belichtungsprozesses stark auflädt und somit den Kontrast stark mindert. Das BOX der *SOI*-Substrate formt aus der Anordnung zusätzlich einen Plattenkondensator, sodass Ladungen nur sehr langsam über den Chuck abfließen können.

3.2.2 Justagemarken: Materialwahl

Als kontraststarke Justagemarkenmaterialien kommen zunächst Metalle in Frage, da sie im Bild des REM dunkel erscheinen. Tabelle 3.2 gibt einen Überblick über die, auf ihre Tauglichkeit getesteten, Justagemarkenmaterialien. Hierbei ist allerdings nicht nur entscheidend, dass die Metalle einen guten Kontrast aufweisen - dies ist im REM-Bild bei nahezu allen Metallen der Fall - sondern, dass das Justagemarkenmaterial die folgenden Prozessschritte zur Herstellung der integrierten Bauelemente übersteht, ohne den Prozessablauf negativ zu beeinflussen, zum

Beispiel durch Materialabplatzungen während des Aufheizens bei der thermischen Oxidation, dem Abschwimmen bei Reinigungsprozessen, Entwickeln oder ähnlichem.

#	Metall	Dicke (nm)	nach Oxidation(nm)	RIE mit HBr(nm)	vor BHF (nm)	nach 20Sek. BHF(nm)
1	WTi	150	nein	nein	477	485
2	WTi	155	500	nein	555	523
3	WTi	155	ja	350	750	620
4	Cr	150	280	nein	260	286
5	Cr	150	ja	350	735	773
6	Cr	130	nein	nein	187	200
7	Ti	150	ja	250	210	165
8	Ti	150	nein	nein	282	284
9	Ti	150	250	nein	257	291
10-12	Ni	Haftungsproblem auf Silizium, keine Messungen durchführbar				

Tabelle 3.2: Übersicht über die zu Versuchszwecken ausgewählten Materialien zur Verwendung als Justagemarken und deren Eigenschaften.

Die mittels Elektronenstrahlverdampfung aufgebrachten Metalle wurden für die ersten Vorversuche mittels eines Lift-Off Lithographieschrittes auf Basis eines Umkehrlacksystems auf dem Wafer strukturiert. Hierzu wurde eine einfache Maske mit Schachbrettmuster ausgewählt, um die eigentliche Justagemarkenmaske nicht zu vielen unnötigen Kontaktlithographieschritten auszusetzen. Auf Basis der Ergebnisse der ersten Charge findet eine Vorauswahl des Materials statt. Nickel fällt aus der Auswahl heraus, es haftet in der benötigten Dicke zu schlecht auf der Oberfläche des Wafers.

Der starke Zuwachs der Material-Stufenhöhe der anderen Materialien nach der Behandlung mit gepufferter Flusssäure (BHF) ist auf einen zu heißen Temperschnitt zum Ausheizen vor dem ersten Aufbringen des elektronenstrahlempfindlichen Lackes zurückzuführen. Der Ausheizprozess wurde von $T=850^{\circ}\text{C}$, $t=2\text{min}$ auf $T=200^{\circ}\text{C}$, $t=10\text{h}$ geändert, um dieses Problem zu umgehen. Da weiterhin der Lift-Off Schritt zur Strukturierung sehr kritisch ist und sich ein Großteil der Strukturen während des Lift-Offs nicht von der Oberfläche ablöste, wurde in einem zweiten Lernzyklus die Strukturierbarkeit der Metalle selbst untersucht. Hierfür wurden die Metalle (Cr, Ti, WTi) ganzflächig auf ein Schutzoxid, welches zur Bewahrung der Reinheit des unterliegenden Siliziums dient, abgeschieden, nachfolgend mittels Umkehrlack (AZ5214E) strukturiert und zum Test nasschemischen Ätzverfahren ausgesetzt. Das nasschemische Ätzen von WTi zeigte sich dabei als besonders schwierig, da die Ätzlösung aus 50°C temperierter 30%-iger H_2O_2 besteht, was den zur Strukturierung benötigten Umkehrlack stark angreift. Ein ähnliches Verhalten wird bei der Ätzung von Titan beobachtet, auch hier ist die stark alkalische Ätzlösung aus $\text{H}_2\text{O}_2 + \text{NH}_4\text{OH} + \text{H}_2\text{O}$ nicht selektiv zum Lack, allerdings bleibt eine ausreichende Restdicke des Titan übrig. Im weiteren Verlauf der Versuche stellte sich heraus, dass Titan bei der Behandlung mit BHF stark angegriffen wird und randseitig ein starkes Ausfransen zu beobachten ist. BHF wird

später bei der Entfernung des Gateoxids von Source und Drain benötigt. Weiterhin ist während des Plasmaätzens mit HBr eine Redeposition des Titans auf der gesamten Oberfläche des Wafers beobachtet worden. Diese Redeposition ist zunächst aufgrund des vorhandenen, vor dem eigentlichen Prozess zu entfernenden Schutzoxids unproblematisch, doch der Kontrast leidet durch das Verschwimmen des Randes der Strukturen so stark, dass die Justagemarken unter der zur Elektronenstrahlolithographie benötigten elektronenempfindlichen Lackschicht nicht zu erkennen sind.

Somit bleibt Cr als einziges geeignetes Justagemarkenmaterial übrig. Es ist leicht mit einer Lösung aus $\text{Ce}(\text{SO}_4)_2$ in H_2SO_4 nasschemisch selektiv zum Lack ätzbar, hält der Gateoxidation und dem Ätzen des Gateoxids in BHF stand und zeigt nur leichte Materialdegradation des sich, während der thermischen Oxidation, bildenden Cr_2O_3 , welches sich in den mit voll entsalztem Wasser (VE) gefüllten Wasserspülkaskaden leicht ablösen lässt. In einem weiteren Optimierungsschritt wurde der Umkehrresist, der zur Strukturierung des Metalls verwendet wurde, durch Negativlack ersetzt, wodurch die Prozessführung wesentlich vereinfacht wird. Damit war zunächst ein geeignetes Justagemarkenmaterial gefunden. Weiterhin problematisch ist, dass nach dem Aufbringen des Justagemarkenmaterials keine Standardreinigung mehr möglich ist, da die 100°C heiße H_2SO_4 das Cr von der Oberfläche des Wafers entfernt. Eine Reinigung der Substrate, wie sie nach jedem Prozessschritt zur Herstellung der Nanodrähte sinnvoll ist, konnte hier nicht durchgeführt werden, alternativ wurde eine Reinigung in siedendem Isopropyl-Alkohol durchgeführt. Mit diesem Verfahren wurden insgesamt vier Bauelementgenerationen mit funktionsfähigen Bauelementen hergestellt.

3.2.3 Grabenförmige Justagemarken (Trench-Justagemarken)

Zur weiteren Optimierung, vor allem bezüglich der Problematik der Anwendbarkeit von sauren Reinigungsverfahren, wurde der Prozess auf in die Tiefe verlegte Justagemarken umgestellt. Hierbei werden die Marken mittels RIE in die Top-Silizium Schicht geätzt. Diese dient anschließend als Maske zum nasschemischen Ätzen des vergrabenen Oxids mit BHF. Die hierbei entstehende Unterätzung unter das Top-Si lässt den so entstehenden Siliziumüberhang im REM stark ausgeprägt erscheinen. Diese Art Justagemarke ist mit sämtlichen standardmäßig angewendeten Reinigungs- und Prozessschritten kompatibel. Ein Querschnitt durch eine Trench Justagemarke zeigt Abb. 3.7. In Abb. 3.7 (a) ist der Querschnitt durch eine Trench-Justagemarke dargestellt. Das SOI-Substrat wird bis zum Handle-Wafer in flüssiger BHF geätzt. Der durch die Isotropie des Ätzprozesses entstehende Unterschnitt wird in Abb. 3.7 (b) dargestellt. Trifft der Elektronenstrahl des REM auf die Oberfläche des freihängenden Siliziums, so entwickelt sich an dieser Stelle ein starker Kontrastunterschied, weil Aufladungseffekte an der BOX/Top-Si-

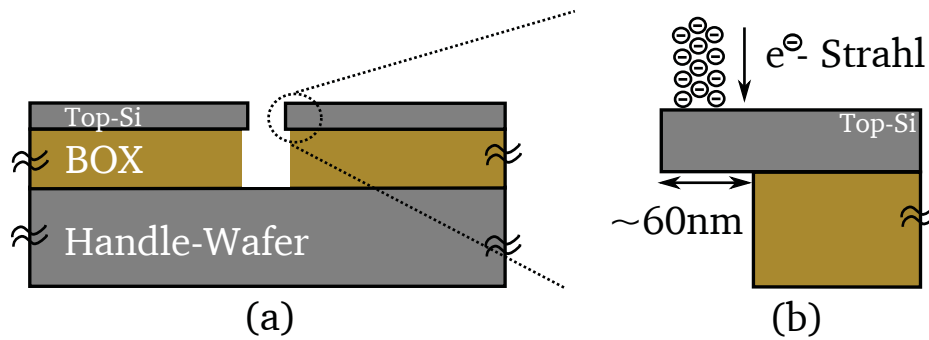


Abbildung 3.7: Querschnitt durch eine Trench-Justagemarke auf einem *SOI*-Substrat für die Justage der Elektronenstahlitographie (a). Vergrößerte Darstellung des Überhangs (b).

Grenzfläche vermieden werden, da sich unter dem unterätzten Top-Si kein Oxid mehr befindet. Dieses Justagemarkensystem hat sich bis zum Ende der Versuchsreihen bewährt und wird zur Strukturierung von *SOI*-Substraten am IHTN jetzt standardmäßig eingesetzt.

3.2.4 Justagemarkenmaske T57

Nachdem das optimale Justagemarkensystem gefunden war, wurde die eigens entwickelte Maske T57 zur Strukturierung der Oberfläche des Metalls, bzw. des Wafers verwendet. Es handelt sich hierbei um eine Lochmaske, dass heißt die Justagemarken sind als lichtdurchlässige Bereiche auf der mit Chrom bedampften Maske ausgeführt. Bei Verwendung der Cr Justagemarken muss Negativlack verwendet werden. Im Falle der später verwendeten, durch Unterätzung hergestellten Justagemarken kann auf das IHTN eigene Standard-Positivlacksystem mit AZ6618 zurückgegriffen werden, sodass die Prozessierung wesentlich vereinfacht wird. Abb. 3.8 zeigt Ausschnitte aus dem Layout der Justagemarkenmaske T57, die eigentliche Maske hat das quadratische Maß von 3 Zoll, der Belichtungsbereich auf dem Wafer ist rund und hat 2 Zoll Durchmesser. Das Layout der Maske ist in zwei ineinandergreifende Bereiche unterteilt, den der globalen Justagemarken und den der Schreibfelder mit eigenen lokalen Justagemarken. Die globalen Justagemarken dienen zunächst dazu, eine grobe Orientierung auf dem Wafer zu ermöglichen und das Koordinatensystem des EBL-Systems einzurichten, um mittels Rechnersteuerung beliebige Koordinaten auf dem Wafer anfahren zu können (vergleiche Kapitel 3.3). Dies ist insbesondere bei der Mehrlagen-Belichtung zwingend notwendig, um die verschiedenen Schreibfelder des Layouts wiederholt korrekt anfahren zu können. Ist die Schreibposition erreicht, so wird durch die lokalen Justagemarken die Präzision der Ortsbestimmung auf dem Wafer nochmals erhöht. Die Schreibfelder sind quadratisch ausgeführt mit einer Kantenlänge von $200 \times 200 \mu\text{m}^2$ insgesamt sind $3 \cdot 3 \cdot 20 + 3 \cdot 3 \cdot 16 = 324$ Schreibfelder auf der Maske vorhanden, wovon in dieser Arbeit 106 pro Wafer verwendet wurden. Die Maske T57 dient dazu,

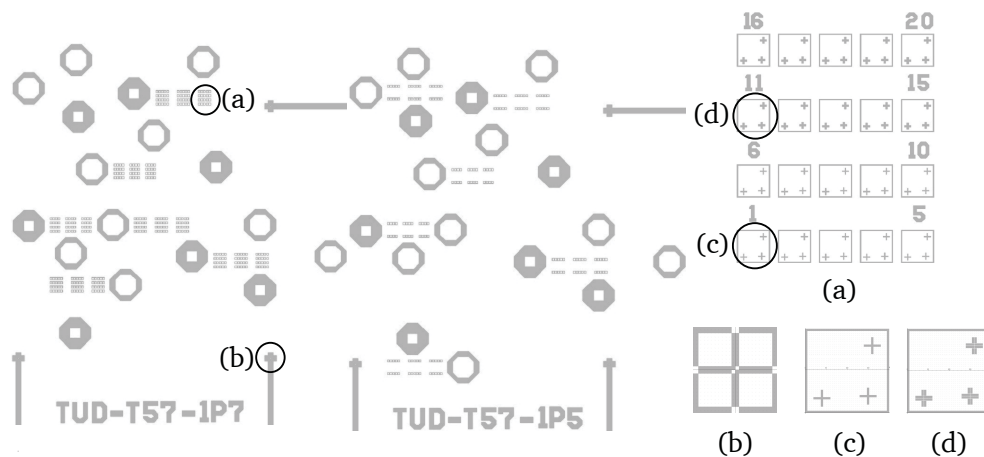


Abbildung 3.8: Layout des Maskentyps T57 beispielhaft in den zwei verschiedenen Ausführungen. (links: T57_1p7, Mitte: T57_1p5, rechts oben: Schreibungsfeldpaket aus 20 Schreibungsfeldern, rechts unten: globale und Ausführungen der lokalen Justagemarken.) (a)-(d) bezeichnen die entsprechenden Ausschnittvergrößerungen.

Belichtungen mit dem EBL-System an definierten Stellen mit höchstmöglicher Präzision durchzuführen. Die Photographie eines Wafers mit Maske T57 und eine Mikroskop-Aufnahme der globalen und lokalen Justagemarken zeigt Abb. 3.9.

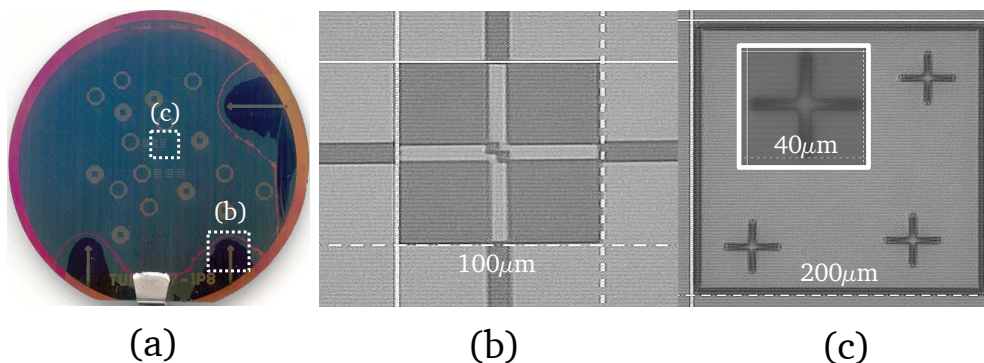


Abbildung 3.9: Photographie eines 2 Zoll SOI-Substrats der letzten Generation mit Justagemarkenmaske T57 (a), Mikroskop-Aufnahme einer globalen (b) und einer lokalen (c) Justagemarke vergrößert dargestellt in einem kompletten Schreibungsfeld zur Elektronenstrahlolithographie.

3.3 Design und Layout der Nanodrähte auf SOI-Substrat

Nachdem die Wafer mit Hilfe der Maske T57 mit den entsprechenden Justagemarken vorliegen, wird in diesem Abschnitt der Arbeit die Generation des Layouts mit Hilfe des Software-Pakets *ElphyPlus* und der nachfolgenden Übertragung dieses Layouts in elektronenstrahlensensitive Lacke bzw. Lacksysteme behandelt. Einige dieser Lacksysteme wurden eigens im Laufe dieser Arbeit entwickelt (siehe Kapitel 2.9.5).

3.3.1 Layouterstellung

Abb. 3.10 zeigt den grundsätzlichen Aufbau der hergestellten Nanodraht-Strukturen. Das Si-Substrat dient hierbei als unterstützende Unterlage für den hauchdünnen Top-Si Film und das dünne BOX (vergleiche Tab. 3.1). Das BOX, welches im Verlauf der Arbeit noch an Bedeutung gewinnen wird, dient hier als Isolator zwischen Substrat und Top-Si. Das auf der Oberfläche des SOI-Wafers befindliche Top-Si wird genutzt um das aktive Gebiet des Nanodrahtes zu definieren. Das Gateoxid, welches als Tri-Gate, oder auch gate-all-around-Struktur ausgeführt ist, umschließt den gesamten Nanodraht, lediglich die Source- und Draingebiete sind von diesem Gateoxid befreit. Zur Kontaktierung der Nanodrähte wurden Schottky-Kontakte ausgewählt, deren Austrittsarbeit ϕ_M durch die Verwendung verschiedener Metalle auf einen gewünschten Wert eingestellt werden kann [80, 46]. Die verschiedenen Metalle und deren elektrische Wirkung auf die Bauelementcharakteristik wird in Kapitel 4 näher erläutert. Vier, in einigen

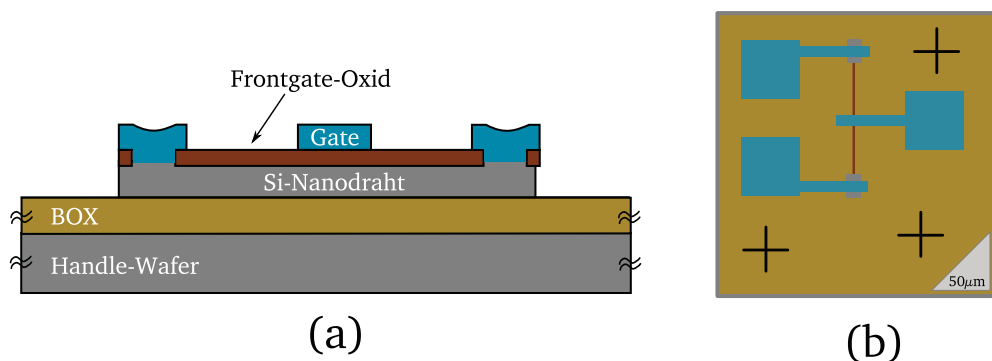


Abbildung 3.10: Querschnitt (a) durch eine vollständige Nanodraht-Struktur auf SOI. Aufsicht (b) auf das in *GDS(II)*-Daten vorliegende Layout.

Versuchen auch fünf Layout-Ebenen sind für die Herstellung der Nanodrähte notwendig. Die folgende Auflistung beschreibt die am häufigsten verwendeten Ebenenarten geordnet nach der Reihenfolge ihrer Verwendung in der Prozessierung:

-
0. **Ebene:** Diese Ebene bezeichnet die Justagemarkenebene. Sie ist notwendig, um die Orientierung auf dem Wafer für die folgenden EBL-Schritte zu ermöglichen (vergleiche hierzu Kapitel 3.2.1). Dieser Schritt wird basierend auf optischer Lithographie durchgeführt.
 1. **Ebene:** Mit der ersten Ebene beginnt die Strukturübertragung mittels Elektronenstrahlolithographie. Das aktive Gebiet, hier also der Siliziumnanodraht, wird mittels Negativlack im Top-Si des *SOI*-Wafers definiert.
 2. **Ebene:** Die zweite Ebene dient zur Realisierung der Source/Draingebiete, welche mittels Positivlack in die Oberfläche des Nanodrahtes definiert werden.
 3. **Ebene:** Die Kontaktlochebene erzeugt Kontakte in Padform der Größe $50 \cdot 50 \mu\text{m}^2$ sowohl an den Source/Draingebieten, als auch an der die Tri-Gate-Konstellation. Es ist möglich, durch wiederholtes Anwenden der Prozessführung von Ebene 3 verschiedene Metallisierungsarten an einem Bauelement miteinander zu kombinieren

Die fünfte Ebene (#4) wurde für Versuche zur vorderseitigen Kontaktierung der Rückseite des Silizium-Substrates eingeführt, um sämtliche Kontaktflächen auf der Vorderseite des Wafers erreichen zu können, diese Variante wurde allerdings wegen Problemen bei der Prozessführung verworfen und wird hier nicht im Detail vorgestellt.

3.3.2 Übertragung der Layoutebenen auf die *SOI*-Substrate

In Kapitel 3.2.2 wurde bereits auf die verschiedenen Ausführungen von Layout Ebene 0 eingegangen. Dieser Abschnitt behandelt die Strukturübertragung der Bauelement-Ebenen 1 – 3. Die ausgewählten, von Schutzoxid befreiten Substrate sind beschriftet und werden einer Standardreinigung mit heißer, konzentrierter H_2SO_4 unterzogen und anschließend mit einer der beiden Ebene 0 Justagemarkensorten versehen.

ÜBERTRAGUNG VON EBENE 1

Mittels Schleuderbeschichtung wird zuerst der Haftvermittler AR300 – 80 [65] auf den Wafer aufgebracht, um die Haftung des elektronenstrahlempfindlichen Negativlackes AR7520 – 13 [81] zu verbessern. Die Lackdicke wird hierbei so gewählt, dass einerseits die unter dem Lack befindlichen Justagemarken noch kontraststark genug sind um im Bild des REM sichtbar zu sein. Andererseits muss die Lackschicht wiederum ausreichend dick sein, damit sie den folgenden Trockenätzschritt durchgängig maskiert. Ein drittes - und wohl das wichtigste - Kriterium

ist die minimal erreichbare Strukturgröße, denn je dicker der Lack, desto geringer ist die Auflösung (vergleiche Abb. 2.18). Als optimale Schichtdicke wurden 300nm gewählt, die einen guten Kompromiss zwischen Stabilität und Auflösung gewährleistet. Auf die Oberfläche der Lackschicht wird eine Suspension mit nanoskaligen Latexkügelchen (\varnothing 80 – 120nm) aufgebracht, um auf die Oberfläche des optisch transparenten Lackes fokussieren zu können. Die Latexkügelchen der rückstandsfrei trocknenden Suspension werden beim anschließenden Entwickeln in alkalischem Entwickler aufgelöst. Nachfolgend wird das Layout der Ebene 1 in den Lack übertragen, dabei wird eine Belichtungs-dosis von $\sim 80 \frac{\mu C}{cm^2}$ verwendet, sodass die Sollbreite eines Nanodrahtes durch das verwendete Lacksystem 80nm beträgt.

Da das am IHTN befindliche EBL-System mit einer sogenannten kalten Kathode betrieben wird (vergleiche Kapitel 2.9.1), sind Schwankungen des aus der Kathode austretenden Elektronenstromes sehr wahrscheinlich. Abb. 3.11 zeigt den Probenstrom, der aus einer kalten Kathode austritt, in Abhängigkeit der Zeit. Die zunächst als vollkommen gasmolekülfrei angenommene

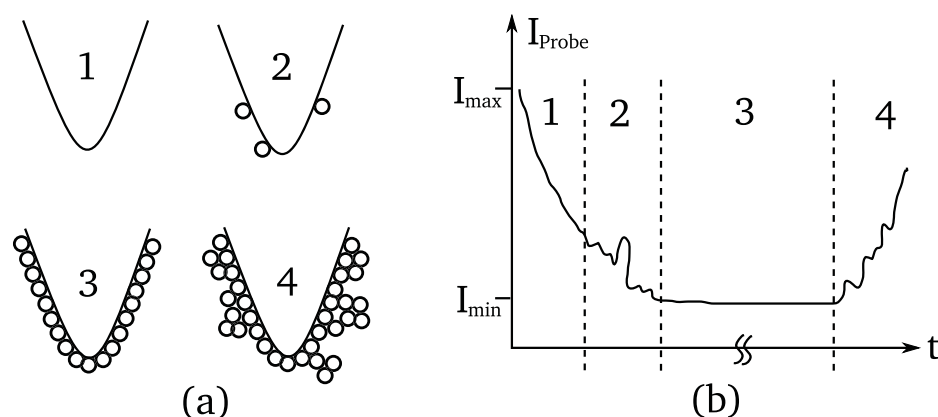


Abbildung 3.11: Probenstromverlauf eines EBL-Systems mit kalter Kathode zur Strahlerzeugung. (a) Kathodenspitze direkt nach dem Ausheizen zur Säuberung (1) und sich im Laufe des Betriebes ansammelnde Restgasmoleküle (2-4). (b) zeigt den zugehörigen Kathodenstrom-Zeit-Verlauf.

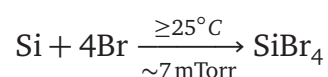
Kathode, Abb. 3.11 (1), wird mit angelegter Extraktionsspannung dazu gebracht Elektronen zu emittieren. Nach einer gewissen Zeit beginnen Restgasmoleküle aus der Probenkammer (vornehmlich Lösungsmittel aus dem verwendeten Lack) sich an der Kathode anzulagern, wodurch der Strom beginnt statistisch verteilt zu schwanken, vergleiche Abb. 3.11 (2). Nachdem die Kathode vollständig mit Gasmolekülen bedeckt ist ($30\text{min} < t < 3\text{h}$) bleibt der Strom in einem Toleranzintervall (circa $\pm 3\text{pA}$) über circa 5h konstant, siehe Abb. 3.11 (3). Lagern sich nun weitere Gasmoleküle an, so beginnt der Strom wieder stark zu schwanken, vor allem bedingt durch kleine Überschlüge zwischen Kathode und Anode wie in Abb. 3.11 (4) dargestellt. Wenn Zeitabschnitt (4) erreicht ist, sollte die Kathode gereinigt werden. Dies geschieht durch das kurzzeitige Anlegen einer sehr hohen Spannung an die Kathode, die eine starke Erwärmung hervorruft, sodass die Gasmoleküle von der Oberfläche der Kathode desorbieren. Der Zyklus

(1)-(4) beginnt nun erneut. Belichtungsvorgänge in den Zeitabschnitten (1) und (4) aus Abb. 3.11 sind zu vermeiden, da ein möglichst konstanter Strom, für die Einbringung einer konstanten Dosis notwendig ist. Die Zeitabschnitte (1) und (2) können allerdings verwendet werden, um zum Beispiel großflächige Source/Drain-Kontaktbereiche oder Kontaktpads zu belichten, da der hierbei verwendete Positivlack im Vergleich zum Negativlack weniger empfindlich gegenüber Dosischwankungen ist. Aus den vorgenannten Gründen ist die genaue Kontrolle des Strahlstromes notwendig und wird vor und nach jedem Belichtungsvorgang am Probenstisch messtechnisch erfasst.

Die korrekte Einstellung des Fokus erwies sich als zusätzliches Problem, da Photolacke im REM oder EBL transparent erscheinen. Ist der Fokus des EBL-Systems nicht exakt auf die Oberfläche des Photolacks eingestellt, so geht, selbst bei minimaler Abweichung, Auflösungsvermögen verloren. Dieser Randbedingung macht ein Hilfsmittel zur Fokussierung nötig, welches auf der Oberfläche des Lacks möglichst dünn aufzutragen sein muss und anschließend leicht zu entfernen ist. Polystyrene-Latex Kugeln mit einem Durchmesser von 80-120nm [82], auf die bei 150k – 250k-facher Vergrößerung eine Scharfstellung erfolgt, erfüllen diesen Zweck. Weiterhin machte es der defekte Beam-Blanker nötig bei der Belichtung eine spezielle Strategie anzuwenden, um mit dem Strahl nicht unerwünschterweise die Oberfläche des Lackes zu belichten. Positions-/Verfahrweglisten für die Motorsteuerung des laserinterferometrisch positionierten Tisches wurden dafür entsprechend erstellt.

Die eigentliche Belichtung erfolgt so, dass je ein Paket Schreibfelder (siehe Abb. 3.8) auf einmal durchbelichtet wird, nachdem am unteren linken Rand einmal eine lokale Koordinatenjustage durchgeführt wurde. Daraufhin wird wieder der Strom gemessen. Dieser Zyklus wird wiederholt, bis alle gewünschten Strukturen belichtet sind. Anschließend wird der Lack in einer Mischung aus vier Teilen AR300 – 47 und einem Teil H₂O [83] entwickelt und die entstandenen Lackstege mittels UV-Bestrahlung und Heizplattenbehandlung vor dem anstehenden Plasmastrukturierungsschritt gehärtet.

Die Plasmastrukturierung erfolgt im *Plasmalab System 100* der Firma 'Oxford Instruments Plasma Technology'. Eigens für die Strukturierung des Nanodrahtes wurde nach Parameteroptimierung ein Ätzprozess im ICP unterstützten RIE-Modus entwickelt, der eine hohe Selektivität gegenüber dem, unter dem Top-Si befindlichen, vergrabenen Oxid aufweist. Die chemische Reaktionsgleichung dieses RIE-Prozesses lautet:



Hierbei wird eine Selektivität U gegenüber SiO_2 von

$$U_{\text{SiO}_2} = \frac{R_{\text{Si}} = 250 \text{ nm/min}}{R_{\text{SiO}_2} = 7 \text{ nm/min}} \approx 35,$$

zum Lack allerdings nur eine Selektivität von $U_{\text{Lack}} = 1$ erreicht. Daher wird die Prozesszeit so kurz wie möglich gehalten, $t_{\text{max}} \approx 1 \text{ min}$. Die Entlackung des Wafers nach dem RIE-Schritt erfolgt mittels Plasmaveraschung und anschließender Behandlung im Remover AR300 – 72. Mit diesem Prozessschritt ist die Übertragung der ersten Layout-Ebene abgeschlossen.

ÜBERTRAGUNG VON EBENE 2

Der im vorigen Abschnitt hergestellte Nanodraht wird nachfolgend oxidiert, um das Tri-Gate zu definieren. Hierbei können verschiedenste Gatedielektrika verwendet werden. Im Rahmen dieser Arbeit wurde SiO_2 verwendet, welches durch trockene thermische Oxidation in einem Rohrofen bei 1000°C hergestellt wird. Die Prozesszeit hierbei variierte zwischen 7 und 9 Minuten, die daraus resultierenden Oxiddicken betragen zwischen 7 – 10 nm. Die bei der thermischen Oxidation auf dem ganzen Nanodraht wachsende SiO_2 -Schicht muss nun selektiv an den Source/Draingebieten entfernt werden. Dies ist die Aufgabe der zweiten Maskenebene. Dieser Schritt erfolgt unter Verwendung des Positivlacks AR7400 – 18 [75]. Die zu belichtenden Bereiche bilden Öffnungen um die Source/Draingebiete des Nanodrahtes und ermöglichen nach dem Entwickeln ortsselektive Entfernung des Oxids. Dies geschieht, der Einfachheit halber, mittels Nassätzung in BHF. Zu beachten ist, dass der Ätzschritt möglichst kurz durchgeführt wird, damit sich der Nanodraht nicht von der Oberfläche des vergrabenen Oxids ablöst. Zuletzt wird der Wafer in Remover entlackt und die Übertragung von Ebene 2 ist abgeschlossen.

ÜBERTRAGUNG VON EBENE 3

Nachdem der Nanodraht hergestellt und zur Kontaktierung vorbereitet wurde, folgt nun die Übertragung der Metallisierungsebene. Diese erfolgt im Lift-Off Verfahren, welches gleich mehrere Probleme in sich birgt. Zum Einen ist die Lackdicke für das Gelingen eines Lift-Off Schrittes entscheidend, je dicker die Lackschicht, desto sicherer gibt es beim Aufdampfen den gewünschten Kantenabriss. Allerdings darf sie nicht zu dick sein, da sonst die, unter dem Lack befindlichen Justagemarken, im EBL-System unsichtbar werden. Zum Anderen ist es wünschenswert, dass das aufgebrachte Kontaktmetall, samt Lackschicht, leicht im Remover zu entfernen ist. In der als erstes prozessierten Hauptcharge (siehe Tabelle 3.3) wurde der Lift-Off mit dem Positivlack AR7400-18 versucht. Dieser weist nach dem Aufschleudern eine Nominaldicke von circa 400 nm auf. Bei diesem ersten Versuch kam kein erforderlicher Kantenabriss des Metalls zustande. Durch

mechanisches Bürsten mit einer weichen Bürste wurde versucht den Kantenabriss herbeizuführen. Hierbei wurden die Nanodrähte teilweise unterbrochen und/oder das Kontaktmetall von der Oberfläche abgehoben. Im weiteren Verlauf wurde versucht das Liften mit Ultraschallbehandlung im Wasserbad zu unterstützen, was wiederum die Nanodrähte mechanisch zerstörte. Eine Lösung für dieses Problem musste zwingend erarbeitet werden, um den weiteren Verlauf der Versuchsreihe zu ermöglichen. In Anlehnung an die bekannte Zweilagenlacktechnik mit Unterschnitt, welche, nach bestem Wissen, nur für optische Lithographieverfahren existieren, wurde erstmals ein elektronenstrahlbelichtungstaugliches Doppellagenlacksystem entwickelt. Es besteht aus einer 700nm dicken Schicht elektronenstrahlunempfindlichen PMMA [74] und einer 400nm dicken Deckschicht aus dem Positivlack AR7400 – 18. Beide Schichten lassen sich im Entwickler AR300 – 47 [83] entwickeln, dabei wird das PMMA isotrop entfernt, während der Lack seine übliche Maskierungsfunktion ausübt. Hierdurch wird der gewünschte Unterschnitt für den folgenden Lift-Off Schritt erzeugt (vergleiche Abb. 3.12). Der relativ große Unterschnitt

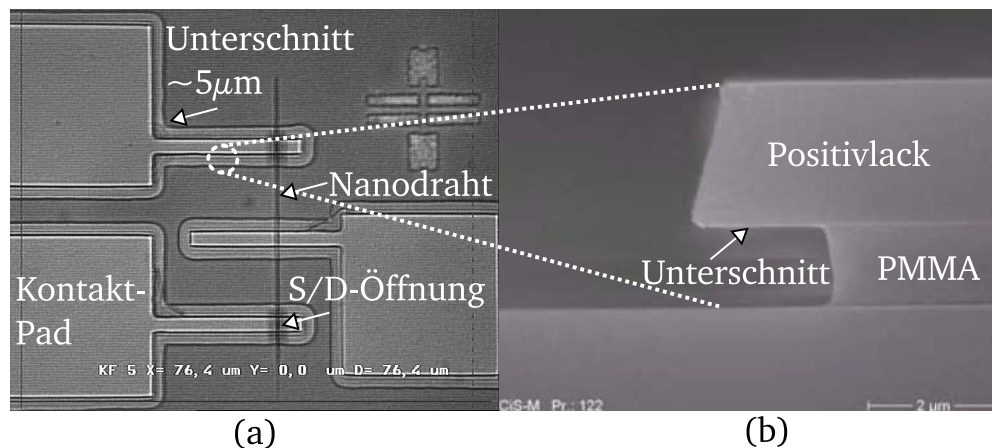


Abbildung 3.12: (a) Mikrograph und (b) REM-Querschnittsaufnahme des Unterschnittes des entwickelten Zweilagen-Lift-Off-Systems [74].

von 5µm gewährleistet hierbei nicht nur einen exzellenten Kantenabriss, sondern ermöglicht es ebenfalls Metalle, die sonst an Luft schnell oxidieren oder gar von der Oberfläche abheben, mit einer Schicht aus Aluminium zu bedecken, sodass keine Umwelteinflüsse die Einstellung der Austrittsarbeit an Source, Drain und Gate beeinflussen.

Eine Übersicht über alle, während der Arbeit hergestellten Strukturen einhergehend mit den wichtigsten Kenngrößen zeigt Tabelle 3.3.

Charge	Wafer [#]	Top-Si [nm]	Gate-Oxid [nm]	Metallisierung [nm]	Formiergas Temperatur [[min.]@[°C]]	Zweck
GAA1	1	50	-	500 Al	10@450	Draht, kein ZLLO
	2	50	20	350 Al	10@450	Transistor, kein ZLLO
	3	50	35	500 Al	10@450	Transistor, kein ZLLO
	4	50	35	500 Al	10@450	Transistor, kein ZLLO
	5	180	-	500 Al	10@450	Draht, kein ZLLO
	6	180	35	500 Al	10@450	Transistor, kein ZLLO
	7	180	35	500 Al	10@450	Transistor, kein ZLLO
	8	180	20	350 Al	10@450	Transistor, kein ZLLO
GAA2	1	70	35	250 Al	5@450	Draht
	2	70	35	250 Al	15-20@450	Draht
	3	70	35	250 Al	15-20@450	Transistor, ZLLO Test
	4	70	35	250 Al	5@450	Transistor, ZLLO Test
GAA3	1	70	8-9	250 Al	10@450	Transistor, DLLO Test, S oder S/D Implantation (B)
	2	70	8-9	250 Al	10@450	Transistor, DLLO Test, S oder S/D Implantation (B)
	3	70	8-9	250 Al	10@450	Transistor, DLLO Test, S oder S/D Implantation (B)
	4	70	8-9	70 Pd	10@450	Transistor, ZLLO
	5	180	8-9	-	10@450	Transistor, ZLLO
	6	180	8-9	250 Al	10@450	Transistor, DLLO Test
GAA4	1	70	8-9	250 Al	10@450+(5+5)@500	Transistor
	2	70	8-9	70 Pd*	5@450	Transistor, high-κ-Test, Gd ₂ O ₃
	3	70	8-9	70 Pd*	5@450	Transistor, high-κ-Test, Gd ₂ O ₃
	4	70	8-9	70 Ni*	5@450+(5+10)@500	Transistor
	5	70	8-9	70 Pd*	5@450+(5+10)@500	Transistor
	6	70	8-9	70 Pt*	5@450+(5+10)@500	Transistor
	7	70	8-9	250 Al	10@450	Transistor, REM/XREM
	8	70	8-9	-	-	DLLO, S oder S/D Implantation (P)
	9	70	8-9	250 Al	10@450	Transistor, REM/XREM
	10	70	8-9	-	-	DLLO, S oder S/D Implantation (B)
GAA5	1	70	16	70 Ni*	10@500	Transistor
	2	70	16	-	-	mechanisch zerstört
	3	70	16	70 Ni*	10@500	Transistor
	4	70	16	70 Ni*	10@500	2, 3 und 4 Kanäle
	5	70	16	70 Ni*	10@500	rückgedünntes Top-Si=45nm
	6	70	16	70 Ni*	10@500	Implantation des gesamten Drahtes (P)
	7	70	16	70 Ni*	10@500	rückgedünntes Top-Si=30nm
	8	70	16	70 Ni*	10@500	Implantation des gesamten Drahtes (P ⁺)
	9	70	16	70 Ti*	10@500	Transistor
	10	70	16	70 Ni*	10@500	Transistor
	11	70	16	70 Ni*	10@500	Transistor
GAA6	1	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation, mehrere S/D-Geometrie-Variationen
	2	70	9-10	-	-	mechanisch zerstört
	3	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation, große Bondpads
	4	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation, große Bondpads
	5	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation
	6	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation
	7	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation, große Bondpads
	8	70	9-10	70 Ni*	10@500	Transistor, S/D-Breitenvariation, große Bondpads
	9	180	9-10	70 Ni*	10@500	Transistor, breites S/D
	10	180	9-10	70 Ni*	10@500	Transistor, breites S/D
GAA5	12	70	16	70 Cr*	10@500	Transistor
GAA6	E1	70	9-10	250 Al, 45 Au	10@500	Transistor, 3 Bruchstücke
	E2	70	9-10	70 Ni*	10@500	Transistor, 2 Bruchstücke
GAA7	1	70	9-10	150 Ni	10	Transistor, breite S/D-Felder
	2	70	9-10	70 Sc, 70 Yb	10	Transistor, breite S/D-Felder
	3	70	9-10	250 Al & 150 Ni	10	Transistor, breite S/D-Felder
	4	70	9-10	150 Ni	10	Transistor, S oder S/D Nitrierung
	5	70	9-10	150 Ni	10	Transistor, Gate-Nitrid
	6	70	9-10	150 Ni	10	Transistor, breite S/D-Felder, große Bondpads
	7	70	9-10	150 Ni	10	Transistor, rückgedünntes Top-Si=40nm, breite Nanodrähte in einem Feld
	8	70	9-10	150 Ni	10	Transistor, rückgedünntes Top-Si=25nm, breite Nanodrähte in einem Feld

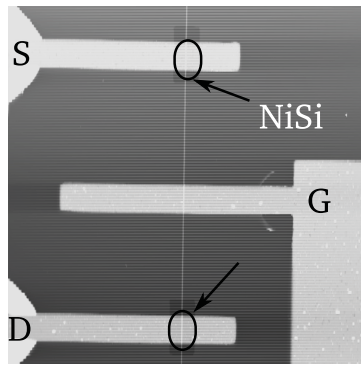
Tabelle 3.3: Auflistung der während der durchgeführten Arbeit prozessierten Chargen und Wafer mit wichtigen Kenngrößen. (Die mit * gekennzeichneten Metalle wurden mit 180nm Aluminium gekapselt. (ZLLO=Zweilagigen Lift-Off, DLLO=Dreilagigen Lift-Off).

3.4 Topographische Charakterisierung der Nanodraht-Bauelemente

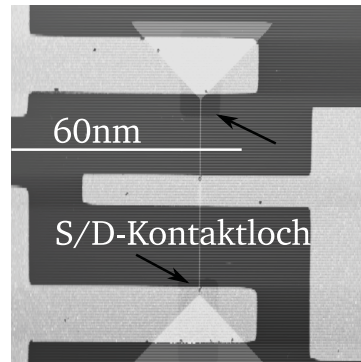
Der folgende Abschnitt beschließt den Herstellungsteil, mit der Vorstellung der zur Charakterisierung der Bauelementstrukturen verwendeten nanoskopischen Meßmethoden. Rastersondenmikroskopie und Rasterelektronenmikroskopie wurden hauptsächlich verwendet, um die Bauelemente hinsichtlich der vertikalen und lateralen Strukturgrößen, zu untersuchen.

3.4.1 Charakterisierung der vertikalen Topographiestufen mit Rasterkraftmikroskopie (AFM)

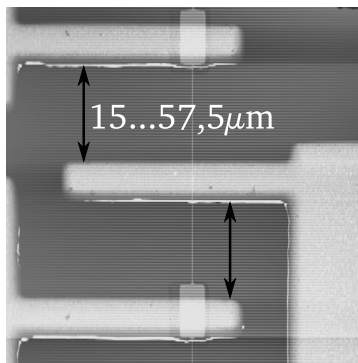
Es soll hier die Anwendung des AFMs zur Charakterisierung wichtiger geometrischer Größen der Nanodrähte beschrieben werden. Die Funktionsweise eines Rasterkraftmikroskops (AFM, atomic force microscope) wird in [84, 85] ausführlich dargestellt. Von Interesse sind hier in erster Linie die Höhe des Siliziumnanodrahtes selbst sowie die Dicke des den Draht umschließenden Gateoxids. Abb. 3.13 zeigt die Oberflächenabtastung der unterschiedlichen Layouts hergestellter Nanodraht-Strukturen. Die AFM-Messung ergab eine Höhe des Nanodrahtes von 60nm (Abb. 3.13 (b)), einen Source beziehungsweise Drain zu Gate-Abstand von 15 bis 75 μ m (Abb. 3.13 (c)), sowie eine Gatelänge von 5 μ m und eine Kontaktpadgröße von 50 μ m (Abb. 3.13 (d)). Diese Kontaktfeldgröße stellt die minimale mit den Probernadeln des am IHTN eingesetzten elektrischen Charakterisierungssystems zu kontaktierende Feldgröße dar. Die verschiedenen Source/Draingeometrien stellen Weiterentwicklungen zu der ursprünglich verwendeten Geometrie aus Abb. 3.13 (a) dar. Abb. 3.13 (d) zeigt die, für die elektrische Funktion der Bauelemente sinnvollste Geometrie, welche mit möglichst geringem Zeitaufwand bei der Belichtung mit dem EBL-System hergestellt werden konnte. Eine Ausschnittvergrößerung der zwei am häufigsten verwendeten Geometrien zeigt Abb. 3.14. Während der elektrischen Charakterisierung der Bauelemente (siehe auch Kapitel 4) stellte sich heraus, dass die in Abb. 3.14 (a) verwendete Source/Draingeometrie negativen Einfluss auf die Performanz, hierbei im speziellen des Maximalstromes und der Unterschwellensteigung, der Bauelemente hat. Daher wurde nach Erprobung mehrerer Alternativen (siehe Abb. 3.13) schließlich die in Abb. 3.14 (b) gezeigte Geometrie zum Standard für alle weiteren Bauelemente ausgewählt. Die Höhe der hergestellten Nanodrähte beträgt nach Messung mit dem AFM \approx 60nm, was in guter Übereinstimmung mit der zu erwarteten Höhe von 61,5nm liegt. Diese Höhe berechnet sich aus der ursprünglichen Dicke des Top-Si, abzüglich der Dicke des während der beiden im Prozess durchgeführten Oxidationen (hier wurde eine Gateoxiddicke von 9nm verwendet) verbrauchten Siliziums. Eine korrekte Bestimmung der Breite der hergestellten Nanodrähte ist mit dem AFM nicht möglich, was aus Abb. 3.15 und Abb. 3.16 hervorgeht. Je nachdem an welcher Höhe des



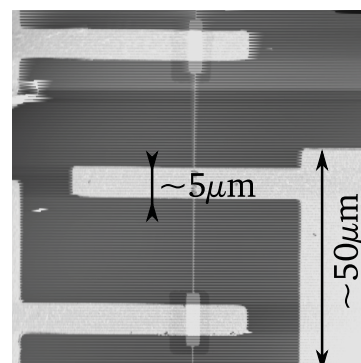
(a)



(b)

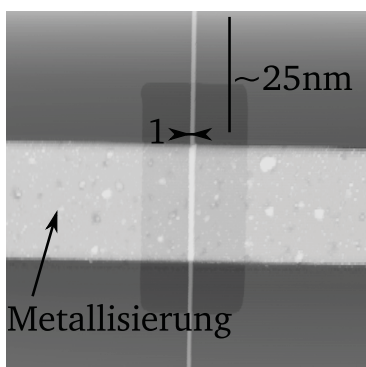


(c)

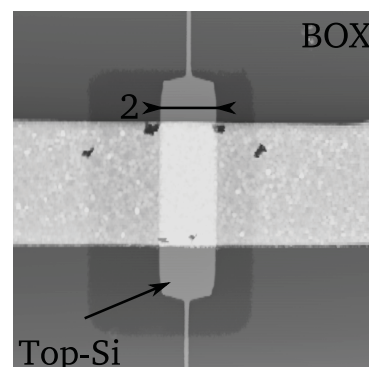


(d)

Abbildung 3.13: AFM-Aufnahmen der Oberfläche der hergestellten Strukturen. (a) Layout der Chargen GAA1 - GAA5, (b)-(d) optimierte Layouts der Chargen GAA6 bis GAA8. (a) zeigt exemplarisch die mit Ni_xSi_y versehenen Source/Draingebiete, sowie den Gateanschluss, (b) Messung der Höhe des Nanodrahtes sowie Source/Drain-Kontaktlöcher. (c) zeigt exemplarisch den variablen Abstand zwischen Source/Drain- und Gate, (d) Kontaktpadgröße und die Source/Drain- sowie Gateweite.



(a)



(b)

Abbildung 3.14: Vergrößerte Darstellung der meistverwendeten Source/Draingeometrien aus GAA1 bis GAA8. (a) zeigt das Source/Draingebiet aus den Chargen GAA1 bis 4, (b) aus Teilen der Chargen GAA5 bis 8.

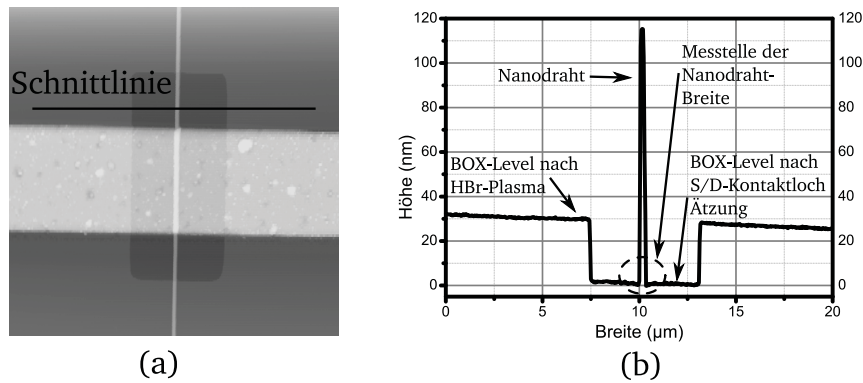


Abbildung 3.15: Problematik der Strukturbreitenbestimmung mit dem AFM. (a) Topographische Aufsicht mit Schnittlinie, (b) aus den Topographiedaten errechnetes Schnittprofil durch die Struktur.

Nanodrahtes dessen laterale Abmessungen charakterisiert wird, beeinflusst die Geometrie der Messspitze stark das Messergebnis. Eine Messung an der strichliert eingekreisten Stelle innerhalb Abb. 3.15 (b) ergibt eine Breite des Nanodrahtes von 352 nm und damit circa 4,5 mal mehr als dessen tatsächliche Breite, die durch REM Messung ermittelt wurde. Dies liegt daran, dass die Messspitze des AFM einen gewissen Öffnungswinkel zur Aufhängung hin aufweist [86]. Dieser Öffnungswinkel bedingt ein Abgleiten der Spitze von der eigentlichen Struktur, wobei weiterhin Höhenmessdaten generiert werden, vergleiche Abb. 3.16. Selbst die Verwendung sogenannter 'high-aspect-ratio'-Spitzen mit sehr geringem Öffnungswinkel und extrem feinem Spitzenradius ($R \leq 10\text{ nm}$), ermöglicht hier keine eindeutige Messung. Es muss auf andere Messverfahren zurückgegriffen werden, eine Möglichkeit stellt die Verwendung eines Rasterelektronenmikroskops dar.

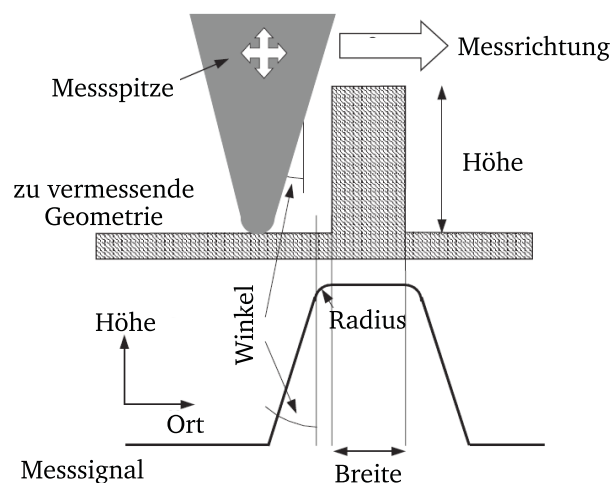


Abbildung 3.16: Einfluss der Spitzengeometrie auf das Messergebnis von lateralen Geometriegrößen bei einer AFM Messung.

3.4.2 Charakterisierung der lateralen Bauelementabmessungen mit Rasterelektronenmikroskopie (REM)

Die Breite des Nanodrahtes wird mittels eines Rasterelektronenmikroskops bestimmt. Hierzu wird, ähnlich wie bei Messungen mit dem AFM, ein Aufsichtbild aufgenommen, dieses enthält allerdings keine Höheninformationen, sondern lediglich Ebenendaten. Diese sind, bedingt durch den feinen Elektronenstrahl, so hochaufgelöst, dass Strukturen im Größenbereich $\leq 50\text{nm}$ vermessen werden können. Abb. 3.17 zeigt eine Aufsicht auf ein komplettes Schreibfeld mit Nanodraht in unterschiedlicher Vergrößerung. Die Aufnahme eines Bildes in der vergrößerten

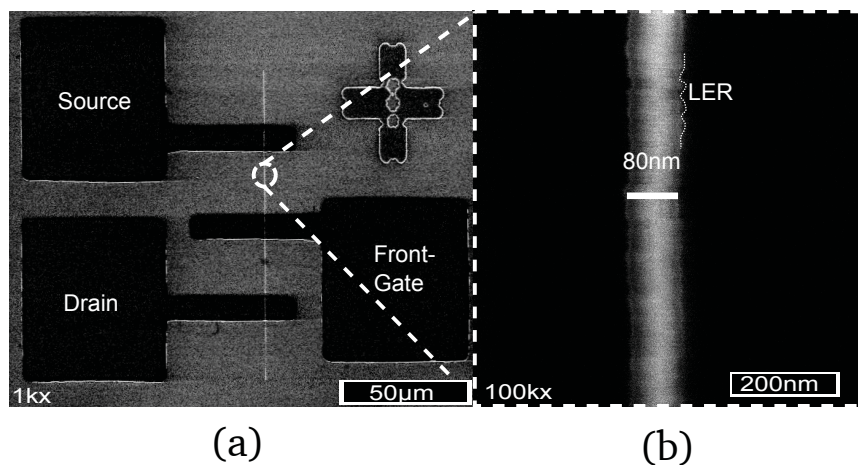


Abbildung 3.17: REM-Aufnahme eines Nanodrahtes bei verschiedenen Vergrößerungen. (a) Abbildung der kompletten Struktur bei 1.000-facher Vergrößerung, (b) Ausschnittvergrößerung des Drahtes bei 100.000-facher Vergrößerung.

Darstellung ermöglicht nun mittels der Software 'Analysis' [87], die Strukturbreite des hergestellten Nanodrahtes auszumessen. Es ergibt sich eine Breite von circa 80nm. Gut sichtbar ist die Varianz der Linienbreite, welche durch die Verwendung eines EBL-Systems mit kalter Elektronenkanone entsteht (vergleiche Abb. 3.11). Diese Varianz der Linienbreite entsteht durch den, während der Belichtung schwankenden, Extraktionsstrom, und wird bei der anschließenden Ätzung in das Top-Si übertragen. Die Ausprägung der sogenannten 'line-edge-roughness' (LER) ist somit unvermeidbar und beeinflusst auch die elektrischen Eigenschaften, was in Kapitel 4 nochmals aufgegriffen wird. Abb. 3.18 zeigt den Einsatz des REM bei der Fehlersuche. In diesem speziellen Fall ist der Unterschnitt der während der Strukturierung der Source/Drain und Gate Kontaktpads erzeugt wurde so groß, dass eine Unterdiffusion des aufgedampften Metalles unter den Zweilagenglack möglich war. Dieses überschüssige Material steht quasi in der Luft und kann je nach Kontakt zum Draht die elektrischen Eigenschaften beeinflussen, siehe Abb. 3.18 (a) und vergrößert (b). Eine Charakterisierung dieser Struktur wäre mit dem AFM nicht möglich gewesen, da die in der Luft hängenden Metallreste mechanisch belastet worden wären und es

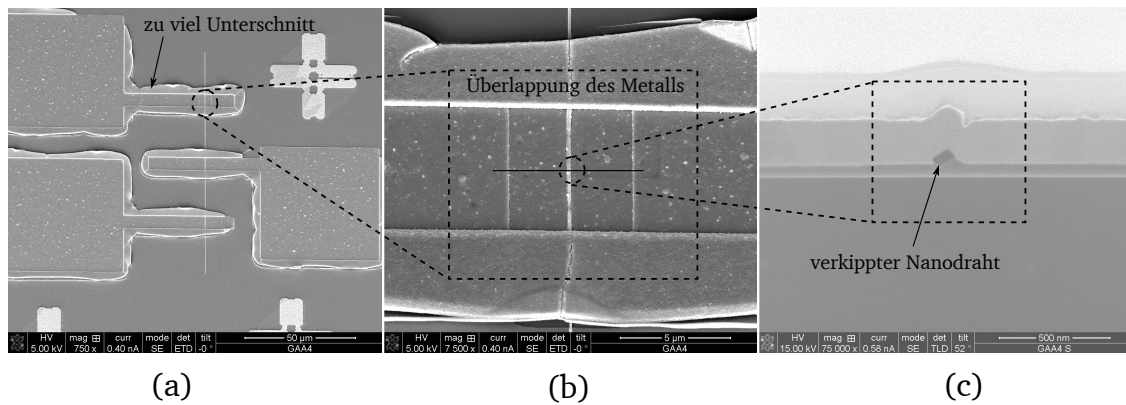


Abbildung 3.18: Fehleranalyse mit Hilfe des REM. (a) Topographische Aufsicht mit erkennbarem Metall-Überhang über die Source/Draingebiete hinaus, (b) Aufsicht auf einen von oben nicht erkennbar fehlernehafteten Draht mit Schnittlinie (c) Querschnitts-REM Aufnahme durch den verkippten Nanodraht.

vermutlich zu einem Abriss des Materials gekommen wäre. Abb. 3.18 (c) zeigt einen Nanodraht der von der Oberfläche des BOX abhebt. Ursächlich hierfür ist beispielsweise eine Überätzung bei der Öffnung der Source/Drain-Kontaktlochöffnungen.

Die in Kapitel 3.4.1 und hier vorgestellten Messmethoden sind zerstörungsfrei (außer in Abb. 3.18(c)), was für die Prozesskontrolle während eines Prozessdurchlaufs sinnvoll ist. Soll auch der Querschnitt der Struktur genauer untersucht werden, so ist dies nur durch Zerstörung der Struktur möglich. Abb. 3.19 zeigt eine solche Querschnittscharakterisierung. Die Probenvorbereitung erfolgte durch Zerschneiden des Bauelementes an der gewünschten Stelle mit Hilfe eines fokussierten Ionenstrahles (FIB). Die in Abb. 3.19 ausgeführten Schnitte wurden durch

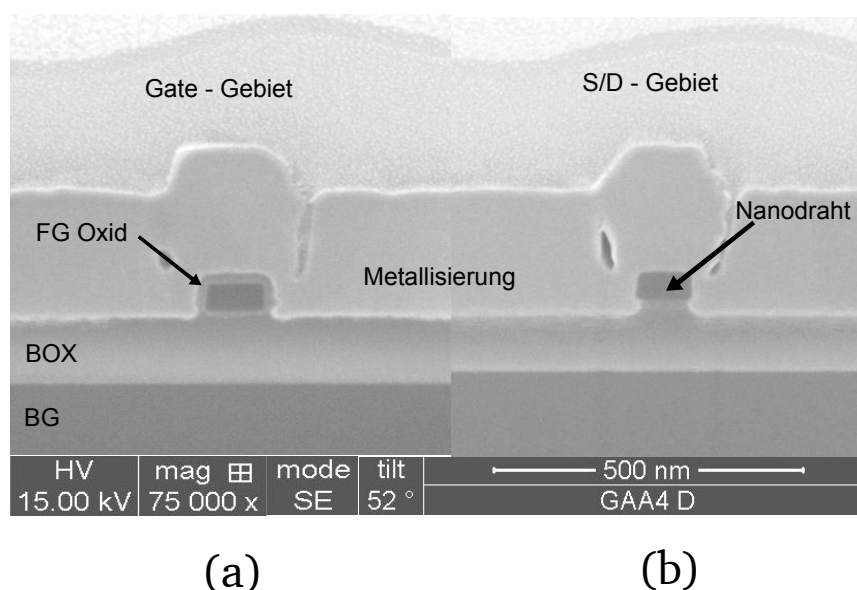


Abbildung 3.19: Querschnitts-REM Aufnahme eines Nanodrahtes. Schnitt durch die Gatestruktur (a) und die Source/Drain Struktur (b) eines Nanodrahtes.

eine vollständig prozessierte Struktur genau bei den metallisierten Gebieten des Gates, siehe Abb. 3.19 (a) und der Source/Draingebiete (b) gelegt. Erkennbar ist das Frontgateoxid und der Nanodraht mit der aufliegenden Metallisierung, wobei die Einkerbungen des Metalls darauf zurückzuführen sind, dass während der Silizidierungstemperung Nickel mit Silizium reagiert und in das Silizium hineindiffundiert [88].

Die zuvor beschriebene, umfassende strukturelle Charakterisierung der Bauelement-Geometrie mittels AFM und REM beschließt diesen Abschnitt der Arbeit. Im Folgenden soll auf die elektrischen Eigenschaften der Bauelemente eingegangen werden.

Kapitel 4

Elektrische Charakterisierung von Silizium-Nanodrähten und Nanodraht-FETs auf *SOI*-Substraten



Die hergestellten Nanodrähte werden nun bezüglich ihrer elektrischen Eigenschaften charakterisiert. Von besonderem Interesse hierbei ist die Funktionsweise der Nanodrähte mit Ni_xSi_y -Elektroden am Source/Drain-Anschluss und Ni als Frontgatematerial. Zunächst werden die elektrischen Eigenschaften von Nanodrähten vorgestellt, die über keinen Frontgateanschluss verfügen. Anschließend erfolgt die Vorstellung der Ergebnisse der verschiedenen, zur Charakterisierung der Bauelemente durchgeführten Messungen der Unterschwelkenennlinien des Backgate. Die aus diesen Messungen gewonnenen Erkenntnisse werden in das Bauelementdesign eingebracht und es entstehen spannungs-selektive Nanodrähte, deren Bauelementcharakteristik von PMOS- zu NMOS-Verhalten durch Anlegen einer Selektionsspannung an das Backgate, dass heißt durch Feldwirkung, erreicht werden kann. Abschließend wird die Temperaturfestigkeit der elektrischen Bauelementparameter untersucht und diskutiert.

4.1 Messaufbau

Die elektrische Charakterisierung erfolgt auf einem halbautomatischen Waferprober des Herstellers 'Rucker & Kolls'. Als Parameter Analyzer kam zu Beginn der Arbeiten ein HP4142, danach ein HP4145B und gegen Ende der Arbeiten ein modernes modulares Analysesystem SCS4200 des Herstellers 'Keithley Instruments' zum Einsatz. Der hauptsächliche Unterschied in den genannten Messsystemen liegt in der Auflösung des minimalen Messstromes. Das älteste eingesetzte System HP4142 wurde lediglich zur Charakterisierung der Chargen der Vorversuchsreihe (vergleiche Kapitel 3.1.2) verwendet. Das HP4145B System wurde zu Beginn der Arbeiten verwendet, die geringe Stromauflösung von minimal $1 \cdot 10^{-11} \text{ A}$ machte allerdings das Erkennen der mit Charge GAA-4 erreichten Verbesserungen bezüglich Prozessführung und elektrischem Verhalten der Nanodrähte nur sehr schwer möglich. Als Standardmessgerät wurde somit das SCS4200 eingesetzt. Den Messaufbau zeigt exemplarisch Abb. 4.1. Der gesamte Messaufbau befindet sich in einer Dunkel-Box. Die zu vermessenden Bauelemente und Strukturen werden auf einem Waferhalter aufgelegt und durch Unterdruck an diesem fixiert. Elektrisch leitende Nadeln werden mit Hilfe eines Mikroskops auf der Oberfläche der Kontaktflächen auf dem Wafer positioniert und sind über Signalverstärker an die Messeinheit angeschlossen. Mit einem Steuer-Rechner wird der Analyzer gesteuert, sodass zwischen verschiedenen Messspitzen Spannungen angelegt und die daraus resultierenden Ströme gemessen werden können. So ist es beispielsweise möglich Ausgangskennlinien, Unterschwelkenennlinien und weitere Messgrößen aufzunehmen. Optional ist die Temperatur des Waferhalters in einem Bereich von $20^\circ\text{C} < T_{\text{Wafer}} < 220^\circ\text{C}$ regelbar, um Temperatureinflüsse auf die Bauelementcharakteristika erfassen zu können.



Abbildung 4.1: Messaufbau zur elektrischen Charakterisierung von Halbleiterbauelementen am IHTN.

4.1.1 Elektrische Charakterisierung

Die, wie in Kapitel 3 beschrieben, hergestellten Strukturen werden bezüglich ihrer elektrischen Eigenschaften charakterisiert. Soweit nicht anderweitig beschrieben wird zur Charakterisierung der Ausgangskennlinie der Einzelbauelemente das Source-Potential immer konstant auf Masse gehalten und nur das Drain-Potential verändert.

4.2 Nanodrähte mit Backgatesteuerung: Bauelemente der ersten Generation

Neben den Bauelementen mit Frontgateoxid und entsprechender Frontgateelektrode wurden zunächst Nanodrähte ohne Frontgateelektrode hergestellt. Beispielhaft werden in Abb. 4.2 einige Ausgangskennlinien gezeigt. Mit dieser einfachen Struktur, vergleichbar mit einem steuerba-

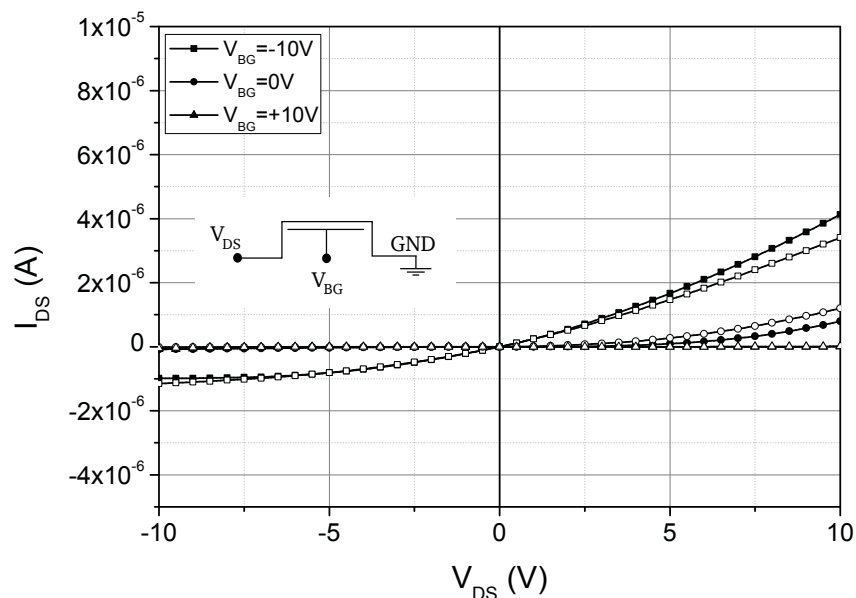


Abbildung 4.2: Ausgangskennlinien eines P-Typ dotierten Nanodrahtes mit 180nm Top-Si Dicke, ohne Frontgatekontakt, Metallisierung Aluminium. Offene Symbole zeigen einen zweiten Messdurchgang. Die Backgatespannung V_{BG} variiert zwischen $-10 \dots 10V$ in 10V Schritten. Bauelement der ersten Generation.

ren Widerstand mit Schottky-Kontakten an Source und Drain, wird der Einfluss des angelegten Potentials an das Backgate auf die Strom-Spannungs-Charakteristik untersucht. Die Ausgangskennlinie gleicht der eines spannungsgesteuerten Widerstandes. Wird die Spannung V_{BG} erhöht, so sinkt der Strom. Das Anlegen einer negativen Spannung am Backgate, $V_{BG} = -10V$, treibt einen Teil der Top-Si Schicht in Akkumulation, d.h. Löcher reichern sich an der Grenzfläche zwischen BOX und Top-Si an. Der so ausgebildete Löcherkanal trägt einen Majoritätsladungsträgerstrom. Wird die Backgatespannung umgepolt, $V_{BG} = +10V$, so tritt der umgekehrte Fall ein,

es werden Löcher von der Grenzfläche abgestoßen und es bildet sich eine Verarmungszone aus. Diese senkt die Leitfähigkeit der Struktur und der Gesamtstromfluss sinkt, ähnlich wie bei einem abschnürbaren (pinch)-Widerstand [89]. Wird die angelegte Spannung am Backgate groß genug kann der Nanodraht komplett von beweglichen Ladungsträgern befreit werden und der Stromfluss wird unterbrochen. Wird keine Spannung am Backgate angelegt, d.h. das BOX des Wafers wird auf die Kontaktfläche (Chuck) gelegt, der Messkreis aber offen gelassen, so wird der fließende Strom durch die Beschaltung der an Source/Drain entstandenen SB und der Aufladung des BOX gegenüber der an Source beziehungsweise Drain angelegten Spannung bestimmt. Der im Bereich negativer Drainspannung zu beobachtende geringere Drainstrom, im Gegensatz zu jenem bei positiver Drainspannung, kann durch die Beeinflussung der Schottky-Barriere durch die Backgatespannung erklärt werden, d.h. gleichzeitig zu der Modulation der Leitfähigkeit des Kanalbereiches wird auch die Schottky-Barrieren-Höhe an den Source- und Draingebieten des Nanodrahtes durch die Backgatespannung moduliert. Im Zusammenspiel mit der, durch die Drainspannung V_{DS} bedingte, Bandverbiegung erklärt sich das Absinken des Ausgangsstromes für negative Drainspannungen. Wird ein *SOI*-Substrat mit dünnerem BOX verwendet, wie in der

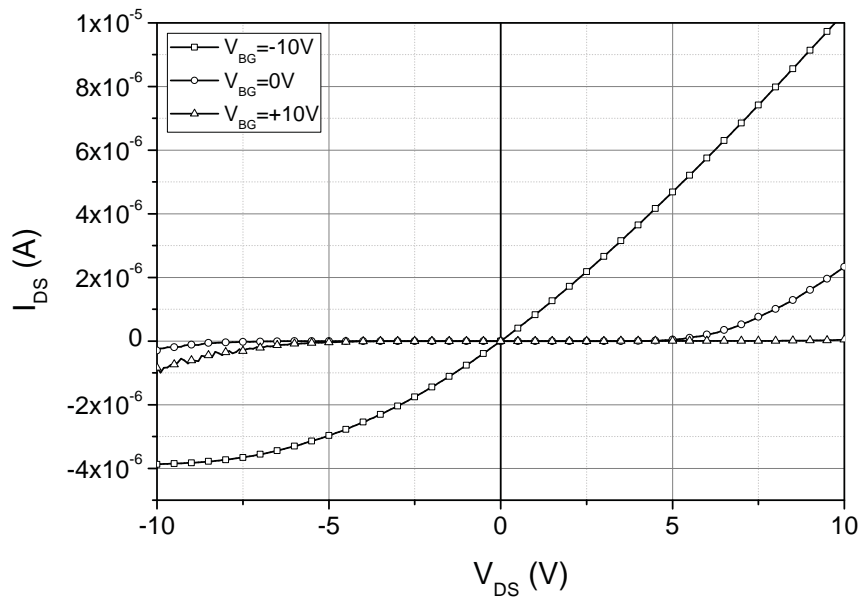


Abbildung 4.3: Ausgangskennlinienschar eines P-Typ dotierten Nanodrahtes mit 50nm Top-Si Dicke, ohne Frontgatekontakt, Metallisierung Aluminium. Offene Symbole zeigen einen zweiten Messdurchlauf. Die Backgatespannung V_{BG} variiert zwischen $-10 \dots 10V$ in 10V Schritten. Bauelement der ersten Generation.

Ausgangskennlinie in Abb. 4.3 dargestellt, so steigt der Drainstrom I_{DS} an. Das dünnere BOX erhöht den Felddurchgriff des Backgates und verstärkt das auf das Top-Si wirkende elektrische Feld, sodass mehr Ladungsträger im Akkumulations- und Inversionsbetrieb bereitgestellt werden können. Eine Skalierung der geometrischen Größen des Nanodrahtes zur Verbesserung der elektrischen Eigenschaften der Nanodrähte ist somit hier sinnvoll und notwendig.

4.3 Nanodrähte mit Back- und Frontgatekontakt: Bauelemente ab der zweiten Generation

Nachdem im vorigen Abschnitt, die grundlegende Funktionsweise des nanoskaligen Drahtes beschrieben wurde, sollen nun Nanodrähte mit 4 Elektroden - nämlich Source, Drain, Frontgate und Backgate - elektrisch charakterisiert werden. Alle hier vorgestellten Bauelementcharakteristiken sind auf SOITEC-SOI-Substraten hergestellt. Beispielhaft werden einige Ergebnisse der hergestellten Bauelemente ab der zweiten Technologiegeneration aus Tabelle 3.3 hier vorgestellt.

4.3.1 Backgateeinfluss bei unkontaktierter Frontgateelektrode

Auf Basis der funktionierenden Nanodrähte aus dem vorigen Abschnitt wurden nach Optimierung der zugrundeliegenden Technologie, vergleiche Kapitel 3, funktionsfähige Transistoren hergestellt.

Die elektrische Charakterisierung beginnt mit der Messung der Unterschwelkenennlinie in Abhängigkeit von der angelegten Backgatespannung bei unkontaktierter (floating) Frontgateelektrode. Abb. 4.4 zeigt die Unterschwelkenennlinien der Backgatesteuerung eines Nanodrahtes mit Ni_xSi_y Metallisierung an Source/Drain und Ni als Gatematerial, welches zusätzlich mit Aluminium überzogen wurde, um die Haftung bei der anschließenden elektrischen Kontaktierung zu verbessern. Wird an das Backgate des Nanodrahtes eine negative Spannung angelegt, so werden Löcher am BOX/Top-Si Interface akkumuliert und es entsteht ein Löcherkanal an der Unterseite des Nanodrahtes. Durch das Anlegen der Backgatespannung wird das Verhalten eines P-Typ-Halbleiters erzeugt. Mit negativer Spannung $V_{DS} < 0$ kann jetzt ein PMOS ähnliches Transistorverhalten festgestellt werden, dies wird im Folgenden als P-NDFET bezeichnet. Werden die Polaritäten der Backgate- und die der Drainspannung vertauscht, so entsteht eine Schicht aus Inversionsladungsträgern an der BOX/Top-Si Grenzschicht und ein N-Typ-Halbleiter wird nachgebildet. Mit einer positiven Spannung $V_{DS} > 0$ wird ein NMOS ähnliches Transistorverhalten festgestellt, dies wird im Folgenden als N-NDFET bezeichnet. Dies ist eine interessante Entdeckung, denn die in der Literatur bis dato publizierten vergleichbaren NDFETS waren immer ambipolar [90, 91, 92], sofern gleiche Source/Drain Kontaktmetalle eingesetzt wurden. Lediglich durch Dotierung und/oder Verwendung von Metallen mit unsymmetrischer Austrittsarbeit ϕ_M an Source und Drain konnte die Ambipolarität unterdrückt werden [93, 94]. Die Unterdrückung der Ambipolarität ist absolut unerlässlich will man digitale Schaltungen in CMOS Technologie herstellen. Das Problem der Ambipolarität ist auch von Kohlenstoffnanoröhrchen (CNTs) hinlänglich bekannt [95] und wird auch hier durch Verwendung verschiedener Metalle

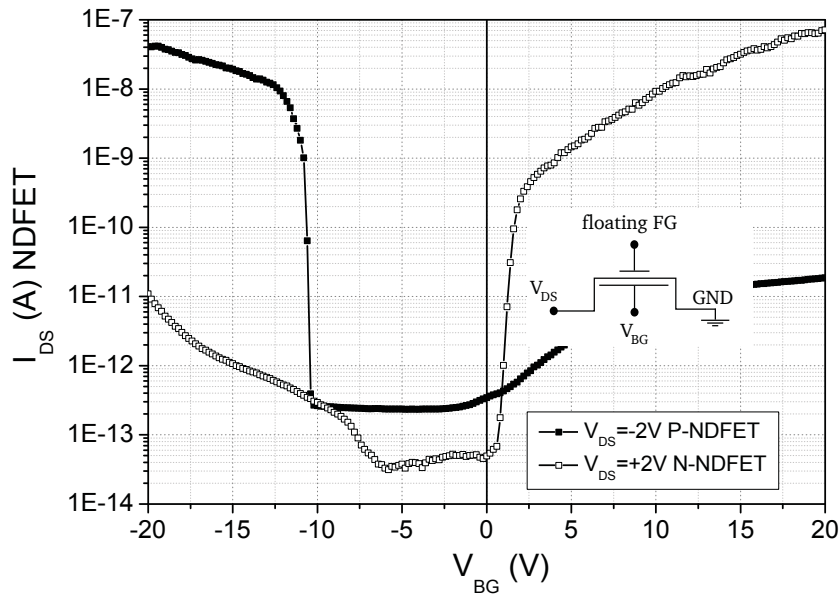


Abbildung 4.4: Unterschwellenkennlinien der Backgatesteuerung eines NDFET mit 65nm Top-Si Dicke und Frontgatekontakt. Metallisierung NiSi, respektive Ni am Gate. $V_{DS,PMOS} = -2V$ und $V_{DS,NMOS} = +2V$. Silizidierung korrekt durchgeführt. Bauelement der vierten Generation.

zur Kontaktierung gelöst [96, 97]. Wird die Silizidierungstemperatur für die Bildung des Ni_xSi_y [98] nicht korrekt durchgeführt, vergleiche hierzu Abb. 4.5, so entsteht eine Unterschwellenkennlinie mit degradierten Strömen und Spannungen. Der durch die zu kurze Temperatur entstehende sehr hohe Kontaktwiderstand verringert die Leitfähigkeit und lässt den Drainstrom I_{DS} sinken. Dass selbst die erhöhte Source/Drain Spannung aus Abb. 4.5 des Stromes des P-NDFET beiträgt, belegt deutlich, dass die vollständige Silizidierung der Source/Drain Gebiete den Ausschlag für die Stromtragfähigkeit und somit die Performanz der NDFETs gibt. Verdeutlicht wird dies durch die Unterschwellenkennlinien des korrekt getemperten Bauelementes der vierten Generation aus Abb. 4.4. Die korrekte Temperatur brachte den Strom des N-NDFET auf das Level des P-NDFET. Eine weitere, wesentliche Verbesserung der Unterschwellencharakteristik der Backgatesteuerung des Nanodrahtes wurde durch die Einführung vergrößerter Source/Drain Bereiche (vergleiche Abb. 3.15) erzielt. Dies zeigen die Messungen der Unterschwellenkennlinien von Bauelementen der sechsten und siebten Nanodraht-Generation in Abb. 4.6. Die Bauelemente der sechsten und siebten Generation, Abb. 4.6 (a) und (b), weisen einen von der Polarität der Drainspannung (V_{DS} bzw. V_{SD}) abhängigen Versatz in der Unterschwellenkennlinie auf. Dies liegt in der elektrisch undefinierten Frontgatekonfiguration begründet, siehe auch Abb. 2.8 und $\phi_{FG} - \phi_{BG}$ aus Gl. 2.10. Je nachdem, ob eine positive oder negative Drainspannung anliegt, ändert sich das Drain zu Gate Potential und wirkt auf die Schottky-Barrieren an Source und Drain ein. Zusätzlich dazu erkennt man für die beiden letzten Bauelementgenerationen einen deutlichen Anstieg des Maximalstromes um circa eine Dekade, was auf die Optimierung der Bauelement-Kontakte hinweist.

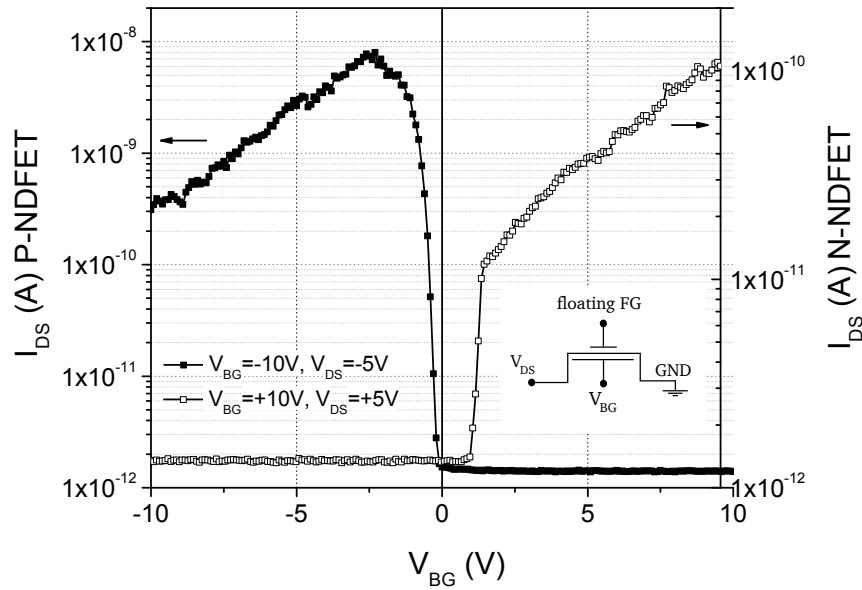
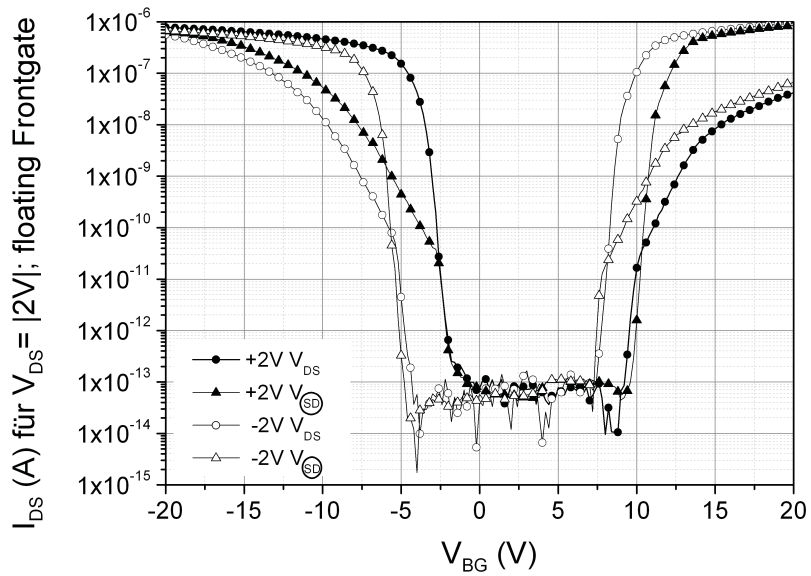


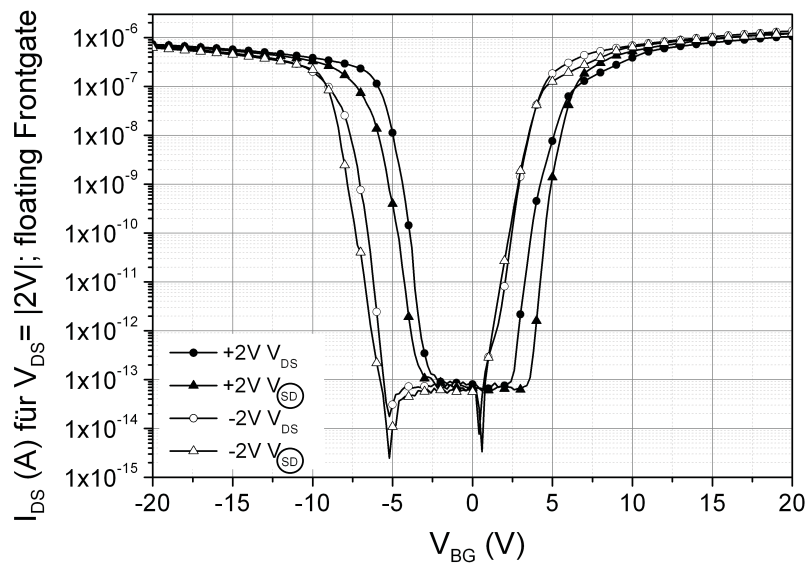
Abbildung 4.5: Unterschwellenkennlinien der Backgatesteuerung eines NDFET mit 65nm Top-Si Dicke und Frontgatekontakt. Silizidierungstemperatur mit unzureichender Zeitspanne. $V_{DS,PMOS} = -5V$ und $V_{DS,NMOS} = +5V$. Bauelement der vierten Generation.

Der in den Unterschwellenkennlinien der NDFETs der sechsten Generation zusätzlich zu beobachtende polaritätsabhängige Knick, wird durch einen Fehler bei der Justage der Gateelektrode gegenüber den Source/Drain-Elektroden verursacht. Dieser unerwünschte geometrische Versatz wurde in der siebten Bauelementtechnologiegeneration korrigiert. In Abb. 4.6 (b) tritt dieser Fehler nicht mehr auf, der Knick in der Kennlinie ist durch die Korrektur des Layouts vollständig verschwunden.

Unabhängig von der geringen P-Typ Substratdotierung zeigt sich die Auswahlfähigkeit des Substrattyps bei einer am Backgate angelegten Spannung von $V_{BG} = \pm 4V$. Diese Optimierungen werden durch den Einsatz der 'mid-gap' Ni_xSi_y Metallisierung an Source und Drain ermöglicht. Es wird eine backgatespannungsabhängige Selektierbarkeit des Ladungsträgertyps des NDFET durch Änderung der Backgatespannung beobachtet.



(a)



(b)

Abbildung 4.6: Unterschwellenkennlinien der Backgatesteuerung optimierter NDFETs mit 65nm Top-Si Dicke und Frontgatekontakt. Metallisierung NiSi, respektive Ni am Gate. (a) sechste Bauelementgeneration für beide Polaritäten der Source-/Drainspannung und (b) siebte Bauelementgeneration für positive V_{DS} in logarithmischer Darstellung.

4.3.2 Simulation zum Mechanismus der Backgatesteuerung des NDFET

Die Modulation der Schottky-Barrieren und die Formierung des Kanalbereiches des NDFET mit Backgatesteuerung werden zunächst mit Hilfe eines Bänderdiagrammes verdeutlicht, siehe Abb. 4.7. Die Bänderdiagramme zeigen den Einfluss der beiden möglichen Polaritäten der Backgate-

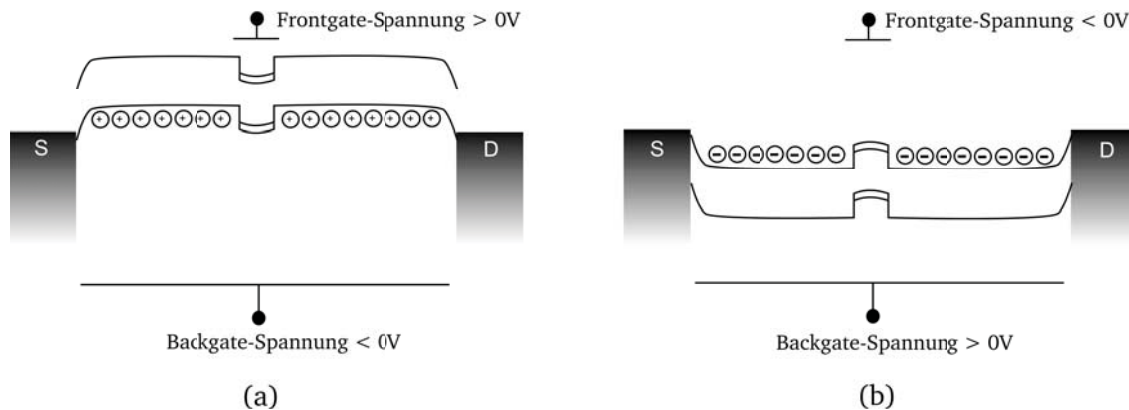


Abbildung 4.7: Schematische Bänderdiagramme der Backgatesteuerung des NDFET. Akkumulation von P-Typ Ladungsträgern (Löchern) an die BOX/Top-Si Grenzfläche (a), Akkumulation von N-Typ Ladungsträgern (Elektronen) an die BOX/Top-Si Grenzfläche (b). $V_{DS} = 0V$

spannung, ohne angelegte Spannung an Source und Drain ($V_{DS} = 0$). Durch das Anlegen einer negativen Spannung am Backgate, welches sich über den gesamten Nanodraht erstreckt, wird das gesamte Bänderdiagramm zu höheren Energien verschoben Abb. 4.7 (a). Die extreme Verbiegung der Bänder in den Source und Drain Kontaktbereichen führt dazu, dass Ladungsträger durch die 'mid-gap' Schottky Barriere tunneln können. Hierbei tritt Löcherakkumulation im Nanodraht an der BOX/Top-Si Grenzfläche auf. Das Frontgate, welches nur einen kleinen Bereich des Nanodrahtes umfasst, wird hier als sperrend festgelegt. Wird die Backgatespannung umgepolt, Abb. 4.7 (b), so wird das gesamte Band zu niedrigen Energien verschoben. Durch das 'mid-gap' Metall wird hier nun auch Elektronen das Tunneln ermöglicht, Elektronenakkumulation an der BOX/Top-Si Grenzfläche tritt auf.

Schlussfolgerung: Die feldinduzierten beweglichen Ladungsträger stammen hierbei explizit *nicht* aus dotierten Halbleitergebieten, sondern aus barrieremodulierten Schottky-Dioden.

Mittels 2D Simulation werden diese Überlegungen im Folgenden verifiziert. Die Simulationen wurden mit der Simulationssuite *Sentaurus Workbench* der Firma *Synopsis* durchgeführt. Abb. 4.8 zeigt die Simulation der Bänderdiagramme eines Nanodrahtes mit angelegter Drain Source Spannung ($V_{DS} \neq 0$). An den jeweiligen Source Bereichen ist die Bandverbiegung des Siliziums in der Tat so stark, dass Ladungsträger durch die Barriere hindurchtunneln können. Dies gilt für

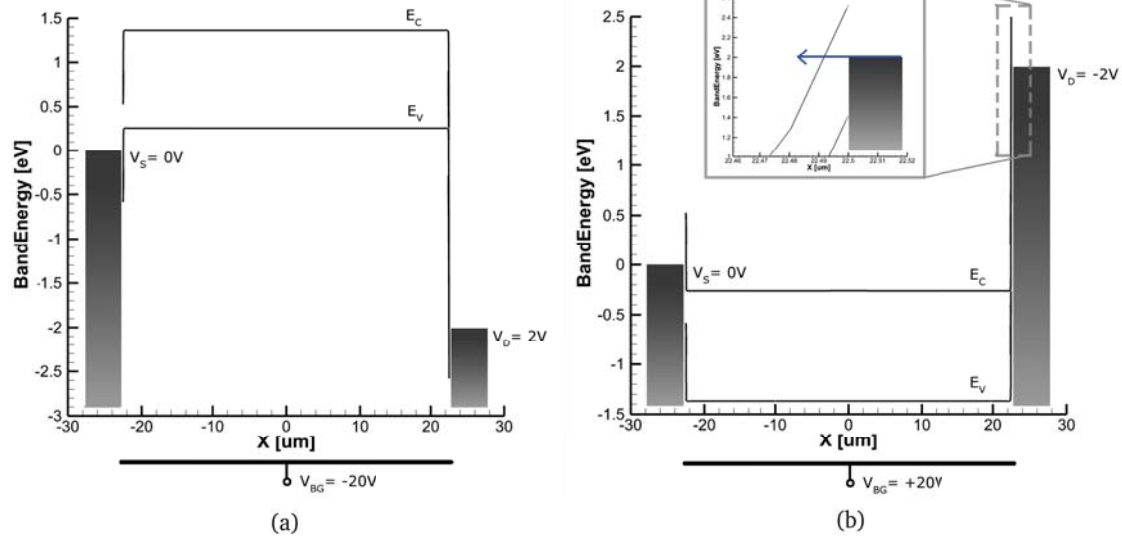


Abbildung 4.8: Simulierte Banddiagramm der Backgatesteuerung bei angelegter Spannung an Source. Akkumulation von P-Typ Ladungsträgern (Löchern) (a), Akkumulation von N-Typ Ladungsträgern (Elektronen) (b). $V_{DS} \neq 0V$, $V_{FG} = 0$.

Löcher beim P-NDFET, siehe Abb. 4.8 (a) und für Elektronen beim N-NDFET, wie in Abb. 4.8 (b) dargestellt, gleichermaßen und wird für den N-NDFET durch Vergrößerung des Bandbereiches am Source-Kontakt verdeutlicht. Lässt man die Wirkung des Frontgates außer Acht, so können die Ladungsträger das korrespondierende Band fluten, vergleiche Abb. 4.7, und Strom fließt von Source nach Drain.

Diese Beobachtungen können mit Hilfe von 3D Simulationen des Nanodrahtes weiter im Detail untersucht werden. Das Ergebnis einer 3D Simulation des Valenzbandes eines P-NDFET und des Leitungsbandes eines N-NDFET zeigt Abb. 4.9 Das angelegte elektrische Potential am Backgate führt auch hier zu starken Veränderungen der Energiebänder im Bereich der BOX/Top-Si Grenzfläche. An den Source und Draingebieten sind abrupte Änderungen der Bänder im Kontaktbereich erkennbar. Für eine Backgatespannung von $V_{BG} = -20V$ (Abb. 4.9 (a)) übersteigt die Valenzbandkante das Energieniveau der Source und Drainkontaktmetallisierung. Umgekehrt unterschreitet die Leitungsbandkante bei einer Backgatespannung von $V_{BG} = +20V$ (Abb. 4.9 (b)) die Energie des Leitungsbandes der Kontakmetallisierung. Das Frontgatepotential ist in der 3D Simulation stets auf $V_{FG} = 0V$ gehalten, um eine Konvergenz des Simulationsprogramms zu ermöglichen. Die Austrittsarbeitsdifferenz von Frontgatemetall zu Kanalbereich wird hierdurch im Banddiagramm sichtbar.

Nachdem die korrespondierenden Ladungsträgertypen die Schottky-Barriere passiert haben, werden sie - ähnliches passiert am Gate eines konventionellen MOSFET - vom Backgate angezogen und dort gesammelt. Dies zeigt Abb. 4.10. Bei negativer Backgatespannung, Abb. 4.10 (a), werden Löcher an die BOX/Top-Si-Grenzfläche gezogen und akkumulieren dort. Beim An-

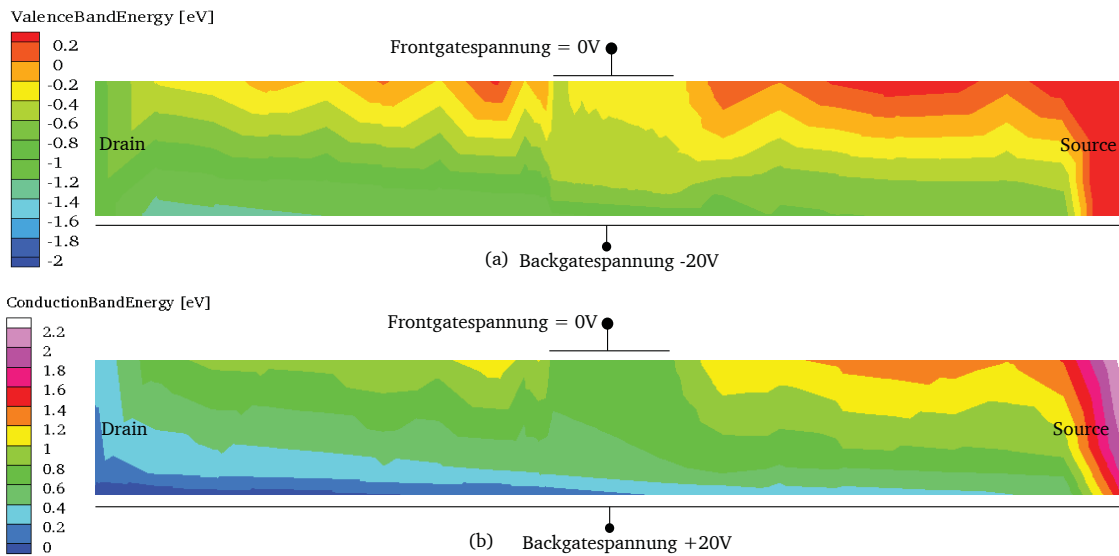


Abbildung 4.9: Querschnitt durch ein 3D Banddiagramm des Valenzbandes eines P-NDFETs (a) und des Leitungsbandes eines N-NDFETs (b) unter Einfluss des Backgates bei $V_{DS} \pm 2V$, $V_{FG} = 0$.

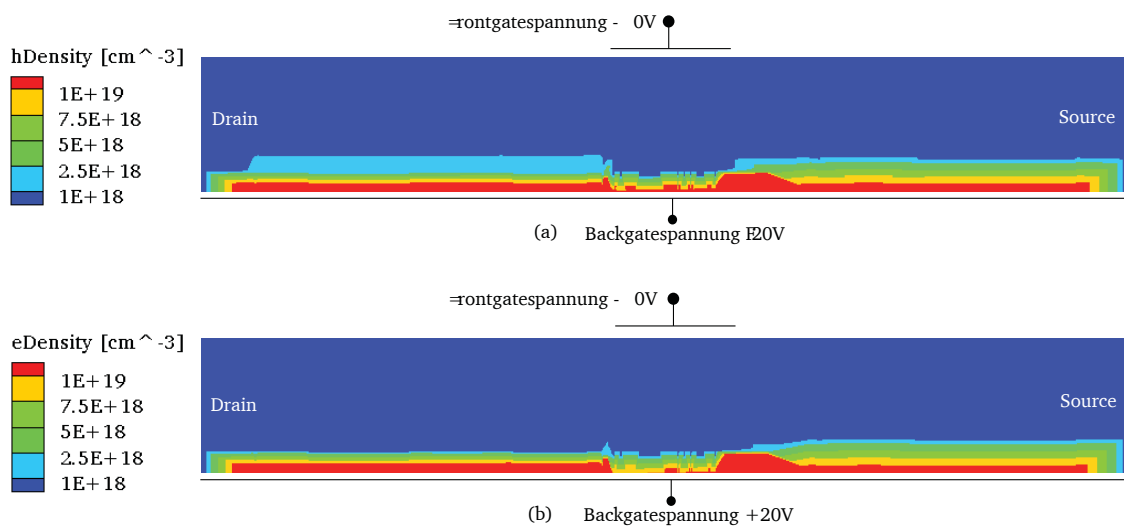


Abbildung 4.10: Ladungsträgerverteilung im NDFET in Abhängigkeit von der am BG angelegten Spannung. $V_{DS} \pm 2V$, $V_{FG} = 0$.

legen einer positiven Spannung verhält es sich genau umgekehrt, siehe Abb. 4.10 (b). Somit ist der Ladungsträgertyp der NDFETs über die angelegte Backgatespannung steuerbar. Weitere 3D Simulationen des Kanalbereichs finden sich in Anhang A.

Schlussfolgerung: Es handelt sich somit um ein Feldeffekt-Bauelement, das vom Backgate in Verbindung mit den Schottky-Dioden an Source und Drain gebildet wird.

Anschließend wurden die Unterschwellenkennlinien des Backgategesteuerten NDFET bei floatendem Frontgate simuliert. Die simulierten Unterschwellenkennlinien zeigt Abb. 4.11. Es wurden für die Simulation die gleichen Substratparameter wie beim Herstellungsprozesses verwendet, lediglich die angelegten Spannungen wurden variiert, um eine Konvergenz des Simulators bei floatendem Frontgatekontakt zu ermöglichen. Je nach simulierter Austrittsarbeit an Source/Drain-Kontakt und Gateelektrode ändert sich die Transistorcharakteristik zu P-Typ ($\phi_{M(S/D/G)} = 4,2\text{eV}$) und N-Typ ($\phi_{M(S/D/G)} = 5,0\text{eV}$) in Abhängigkeit der angelegten Backgatespannung. Der durch die unterschiedliche Drainspannungspolarität resultierende Versatz aus Abb. 4.6 (a) ist auch in der Simulation gut zu erkennen. Im Fall des thermischen Gleichwichts

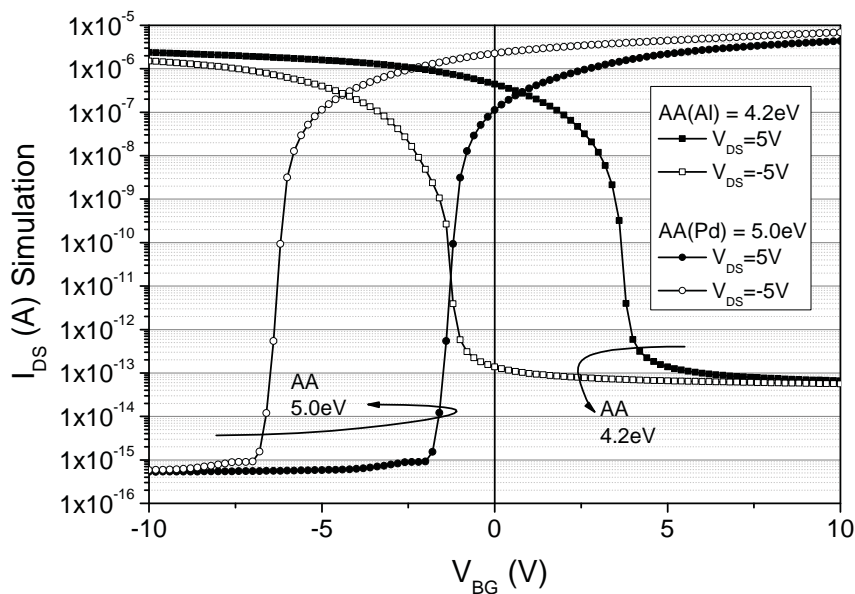


Abbildung 4.11: Simulationsergebnis zur Abhängigkeit der Unterschwellenkennlinie von der Backgatespannung eines NDFET mit 65nm Top-Si Dicke und Frontgatekontakt von der Austrittsarbeit des Metalls an Source/Drain-Kontakt und Gateelektrode.

tes (keine angelegte äußere Spannung) liegt für den Nanodraht mit $\phi_M = 4,2\text{eV}$ aufgrund der geringeren Barrierenhöhe für Elektronen von $\Phi_{B,n} \approx 0,15\text{eV}$ eine hohe Wahrscheinlichkeit für Elektronenleitung vor, für $\phi_M = 5,0\text{eV}$ verhält es sich genau umgekehrt. Die Barriere für Löcher $\Phi_{B,p} \approx 0,17\text{eV}$ ist hier niedriger und es fließt ein Löcherstrom. Die für beide Fälle gültigen Banddiagramme bei variabler Backgatespannung zeigt Abb. 4.12. Für den Fall des Transistors

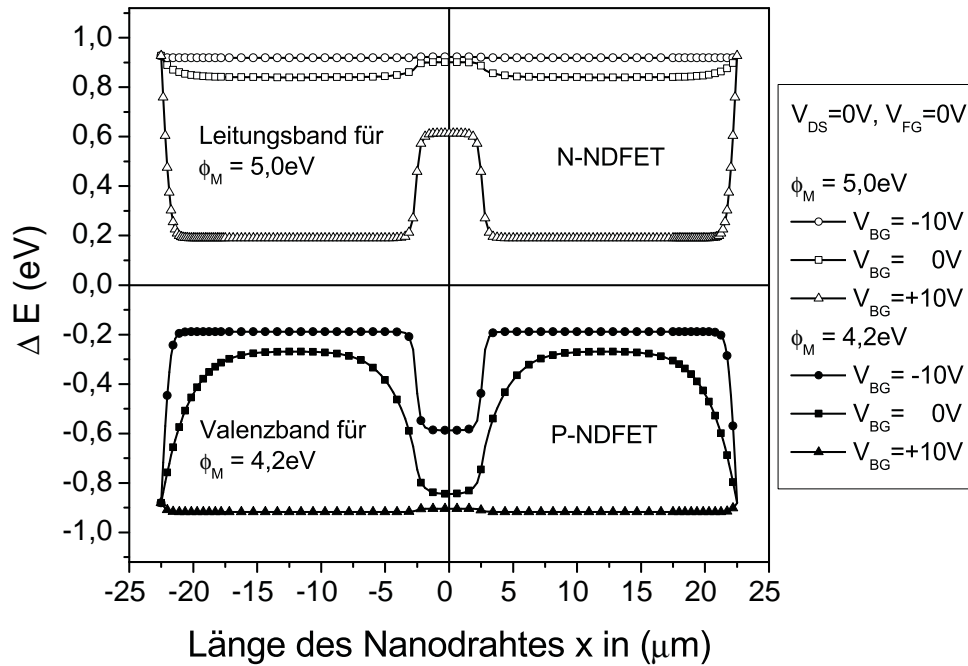


Abbildung 4.12: Simulierte Leitungs- und Valenzbandkante für verschiedene Austrittsarbeiten ϕ_M der Source/Drain- und Frontgatekontakte in Abhängigkeit der Backgatesteuerung eines NDFET mit 65nm Top-Si Dicke und Frontgatekontakt.

mit $\phi_M = 4,2\text{eV}$ ist in Abb. 4.12 stellvertretend nur das Valenzband, für jenen mit $\phi_M = 5,0\text{eV}$ das Leitungsband für variable Backgatespannungen dargestellt. Die durch die unterschiedlichen Austrittsarbeiten entstehende, gegensätzliche Bandverbiegung im Bereich des Frontgate ist klar zu erkennen. Der Einfluss der Backgatespannung stellt sich durch die Verschiebung der Bandkanten auf der Energieachse in $\pm\Delta E$ -Richtung dar. Wird bei maximal negativer Backgatespannung ($\phi_M = 4,2\text{eV}$) nun an das Drain des Nanodrahtes eine negative Spannung angelegt, so können Löcher von Source zu Drain fließen, es entsteht ein P-NDFET, bei maximal positiver Spannung ($\phi_M = 5,0\text{eV}$) und positiver Spannung am Drain entsteht ein N-NDFET.

Die Ergebnisse der 2D Simulation bestätigen die elektrischen Messungen des Einflusses auf die Unterswellenkennlinie der Backgatesteuerung und deren Interpretation.

Wichtige Schlussfolgerung: Der Majoritätsladungsträgertyp der Top-Si Schicht kann über das Anlegen einer Backgatespannung in Verbindung mit barrieremodulierten Schottky-Dioden an Source und Drain kontrolliert werden.

4.3.3 Leitungsmechanismus des backgategesteuerten NDFET

Die durch die Backgatesteuerung an der BOX/Top-Si-Grenzfläche gesammelten Ladungsträger werden größtenteils aus den Schottky-Dioden Metallen der Source/Drainkontakte generiert. Der hierbei dominante Leitungsmechanismus der Schottky-Dioden kann experimentell durch Messungen bei verschiedenen Temperaturen ermittelt werden. Dabei muss beachtet werden, dass die Struktur des NDFET schematisch aus zwei Schottky-Dioden besteht, wobei stets eine Diode in Sperrrichtung betrieben wird, wie in Abb. 4.13 gezeigt.

Zwischen den Dioden befindet sich der Kanalbereich der Backgatesteuerung des NDFET. Al-

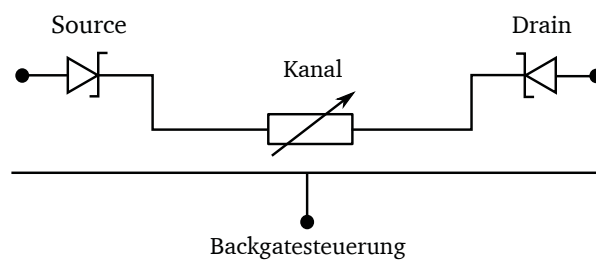


Abbildung 4.13: Schematische Betrachtung zur Backgatesteuerung eines NDFET.

le Teilbereiche des NDFET, also Source/Drain-Kontakte, Kanalbereich und Frontgateelektrode, werden durch das Potential des Backgate moduliert. Eine Untersuchung des Leitungsmechanismus der Ladungsträger kann über die Temperaturabhängigkeit des Ausgangsstromes durchgeführt werden. Für thermionische Ladungsträgeremission aus den Schottky-Dioden ist eine exponentiell steigende Abhängigkeit des Ausgangsstromes von der Temperatur zu erwarten. Thermionische Feldemission zeigt eine linear steigende Temperaturabhängigkeit. Feldemission, oder Tunnelströme durch die Schottky-Barriere hingegen weisen keine Temperaturabhängigkeit auf, vergleiche hierzu Kapitel 2.3. Dieses Verhalten ähnelt dem eines ohmschen Kontaktes, wie er für hochdotierte Source/Drainkontakte konventioneller MOSFETs verwendet wird. Die Verschmälerung der Barriere wird beim NDFET nicht durch eine hohe Dotierung, sondern durch die Backgatesteuerung erreicht - siehe Abb. 4.8. Der Strom des NDFET mit Backgatesteuerung in Abhängigkeit der Temperatur ist in Abb. 4.14 dargestellt. Unerwarteterweise zeigt sich eine negative Temperaturabhängigkeit des Stromes durch den Transistor. Diese wird erklärbar durch sinkende Ladungsträgermobilität, herrührend von thermisch angeregten Kristallgitterschwingungen. So sinkt die Ladungsträgerbeweglichkeit beider Ladungsträgertypen in Silizium mit den Faktoren $T_{\text{Elektron}}^{-2,4}$ und $T_{\text{Loch}}^{-2,2}$ [99]. Wird die temperaturabhängige Mobilitätsdegradation in Betracht gezogen, kann für den Leitungsmechanismus von Temperaturunabhängigkeit des Schottky-Dioden Stromes ausgegangen werden. Vielmehr legt die Temperaturunabhängigkeit nahe, dass die extreme Verbiegung der Bänder an Source und Drain (siehe Abb. 4.8) Tunnelprozesse begünstigt, die den Leitungsmechanismus bestimmen.

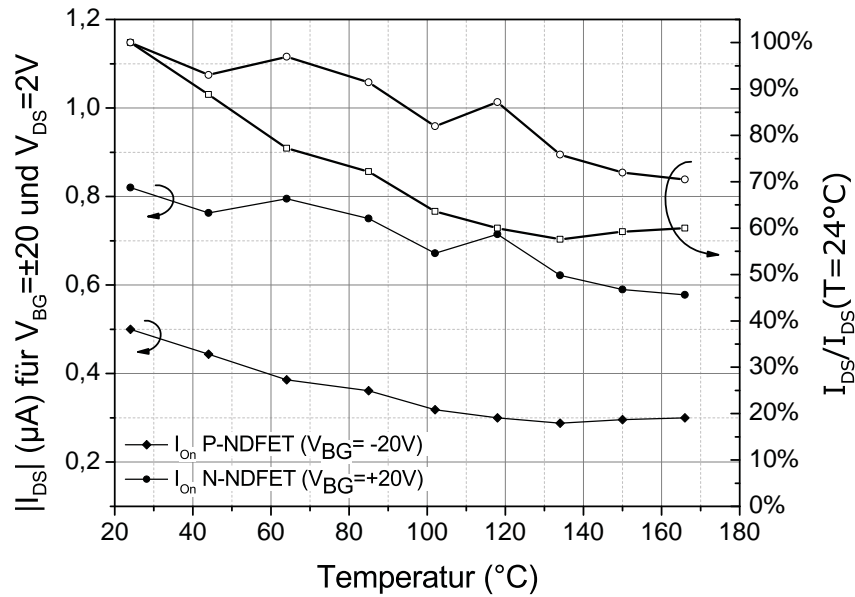


Abbildung 4.14: Absolute Ausgangsströme bei verschiedenen Temperaturen eines NDFET im N- und P-NDFET Betrieb (linke Skala). Auf 24°C normierte Stromverhältnisse (rechte Skala).

4.4 Frontgatesteuerung in Kombination mit Backgatesteuerung: CMOS-NDFETs

Auf Basis der vielversprechenden Ergebnisse aus dem vorhergehenden Abschnitt wurde die elektrische Charakterisierung durch das Hinzunehmen des Frontgatekontaktes erweitert. Bei konstanter Spannung am Backgate - und somit der Wählbarkeit des Ladungsträgertyps (Elektronen/Löcher) im Kanalbereich - wurden Messungen der Unterschwellenkennlinie der Frontgatesteuerung durchgeführt. Erwartet wurde durch die Wählbarkeit der Ladungsträger eine von der Backgatespannung abhängige Wählbarkeit des Transistortyps, PMOS oder NMOS. Abb. 4.15 zeigt den Verlauf der Unterschwellenkennlinie für konstante Spannung am Backgate eines NDFET. Für $V_{BG} = -14V$ werden Löcher an der BOX/Top-Si Grenzfläche akkumuliert. Durch das Anlegen einer Frontgatespannung im Bereich $-3V < V_{FG} < +3V$ kann ein, einem konventionellen PMOS Transistor ähnliches, Unterschwellenverhalten erzeugt werden. Der Einschaltpunkt und eine Sättigung des Ausgangsstromes ist klar erkennbar. Wird die Backgatespannung umgepolt, $V_{BG} = 14V$ kann durch erneutes Durchlaufen der Frontgatespannung von $-3V < V_{DS} < +3V$, ein NMOS-ähnliches Unterschwellenverhalten nachgewiesen werden, da auch der Ladungsträgertyp im Kanal gewechselt wurde. Ein ähnliches Verhalten konnte bei CNTs nachgewiesen werden, wobei allerdings der klare Nachteil von CNTs die noch ungelöste korrekte Platzierung und Einstellung des Durchmessers - welcher sich umgekehrt proportional zum Bandabstand verhält - ist [100, 101].

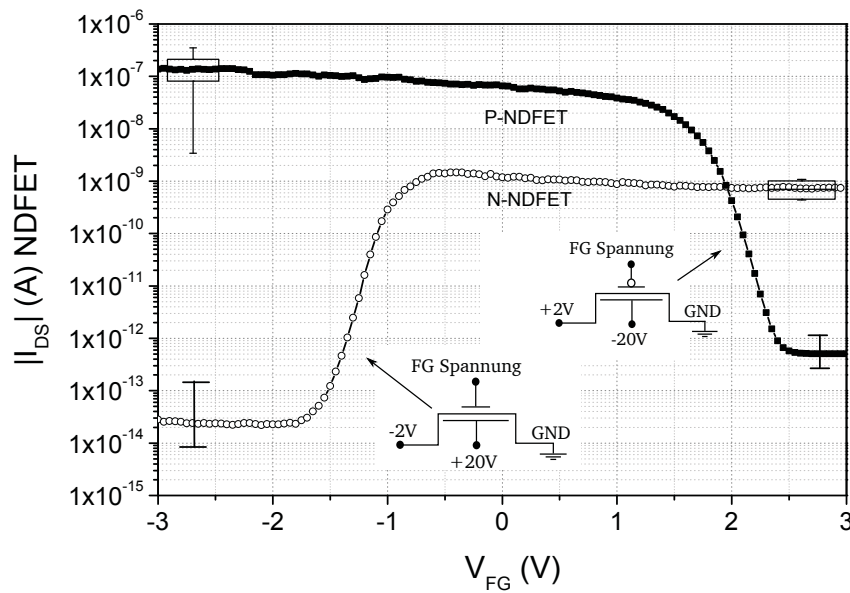


Abbildung 4.15: Unterschwellenkennlinien bei Frontgatesteuerung eines NDFET mit 65nm Top-Si Dicke. Die korrespondierende Backgatespannung definiert den Transistortyp P-NDFET oder N-NDFET. Metallisierung Ni_xSi_y , respektive Ni am Gate. Bauelement der vierten Generation.

Unerwarteterweise ist der durch den N-NDFET fließende Strom durchweg niedriger, als der des P-NDFET, wobei aufgrund der intrinsischen Ladungsträgermobilitäten ($\mu_n \approx 3 \cdot \mu_p$) eigentlich ein höherer Strom des N-NDFET zu erwarten ist. Es wird vermutet, dass hier wiederum, wie schon in Kapitel 4.3.1 für Bauelemente der vierten Generation vermutet, die Source/Drainkontakte als ursächlich angenommen werden kann. Abb. 4.16 zeigt einen Querschnitt durch eine silizidierte Silizium-Oberfläche, bei der es zur Bildung von 50nm großen NiSi_2 -Körnern kommt. Diese vermutlich auch im vorliegenden Fall vorhandenen NiSi_2 -Körner begrenzen den Stromfluss durch die Source/Draingebiete für NDFETs der vierten Generation, deren Source/Drain-Geometrie noch nicht optimiert wurde. Erhöht man die Backgatespannung schrittweise, wie in Abb. 4.17

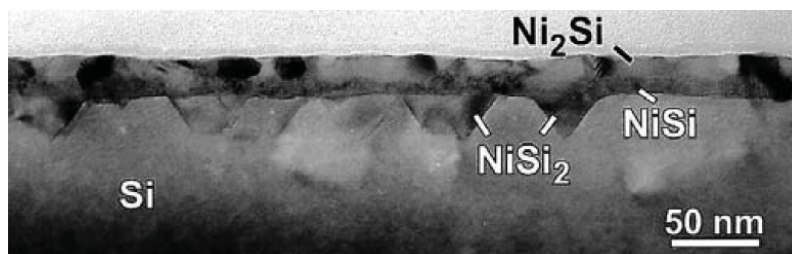


Abbildung 4.16: Rasterelektronenmikroskopische Querschnittsaufnahme durch einen Ni_xSi_y Metall-Halbleiterkontakt. Ni_xSi_y - und NiSi_2 -Gebiete sind erkennbar. Die NiSi_2 -Korngröße beträgt circa 50nm [102].

in 2Volt-Schritten, so ist zu erkennen, dass die Einsatzspannung der Transistoren verschoben wird. Dieses Phänomen ist bei *SOI*-Substraten bekannt (siehe auch Kapitel 2.5.1) und wird

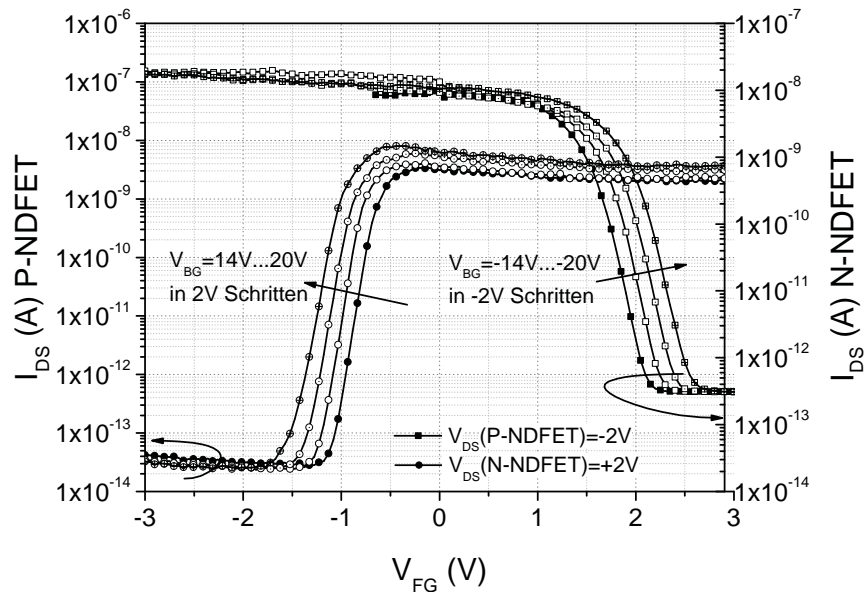


Abbildung 4.17: Unterschwellenkennlinien bei Frontgatesteuerung eines NDFET und Schwellspannungsverschiebung für schrittweise veränderte Backgatespannung eines Nanodrahttransistors mit 65nm Top-Si Dicke. Metallisierung NiSi, respektive Ni am Gate. Bauelement der vierten Generation.

auch bei sogenannten floating-body MOSFETs ohne Substrat-Kontakt beobachtet [103, 104]. Dieser Effekt muss nicht zwangsläufig negativ bezüglich der Bauelementanwendung gewertet werden, man kann ihn sich auch nutzbar machen um die Einsatzspannung, ohne die bei konventionellen MOSFETs übliche Schwellspannungsimplantation, zu verändern. Da beim Anlegen einer Spannung an das Backgate im statischen Fall kein Strom fließt, ist dies eine interessante Möglichkeit eine Änderung der Schwellspannung durchzuführen. Weiterhin wird in Abb. 4.17 gezeigt, dass eine schrittweise Erhöhung der Backgatespannung im Falle des P-NDFET keine zusätzliche Erhöhung des Maximalstromes mit sich bringt. Dies legt den Schluss nahe, dass der Kontaktwiderstand der von den vorhandenen NiSi_2 -Körnern herrührt, den Maximalstrom begrenzt. Im Gegensatz dazu erhöht sich der Maximalstrom für den N-NDFETs bei Erhöhung der Backgate Spannung. Dies legt die Vermutung nahe, dass der an der BOX/Top-Si Grenzschicht auftretende Inversionskanal tatsächlich durch das Backgatepotential moduliert wird. Je höher die hierbei anliegende Backgatespannung, desto mehr Inversionsladungsträger werden an der Grenzfläche gesammelt und der fließende Minoritätsladungsträgerstrom steigt.

Eine deutliche Verbesserung bezüglich der Symmetrie der Maximalströme die mit der NiSi_2 -Korngröße in Zusammenhang zu bringen ist, wird durch die Veränderung der Source/Draingeometrie erzielt. Wird an die Source/Draingebiete des Nanodrahtes eine rechteckige Kontaktfläche angefügt - es entsteht eine hantelförmige Struktur (siehe Abb. 3.14) - so gleicht sich der Stromfluss des N-NDFET und der des P-NDFET an, siehe Abb. 4.19. Hier kann angenommen werden, dass die $\approx 50\text{nm}$ großen NiSi_2 -Körner den Kontaktwiderstand nicht mehr

beeinflussen, da wesentlich mehr Siliziumvolumen zur Verfügung steht - skizziert wird dies in Abb. 4.18 dargestellt. Wird nun ein Bauelement der sechsten Generation mit hantelför-

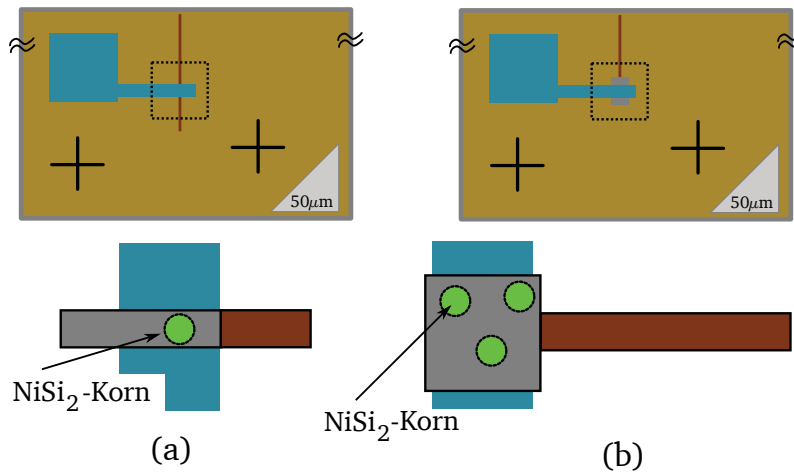


Abbildung 4.18: Verbesserte Source/Draingeometrie zur Minimierung des Kontaktwiderstands der Source/Draingegebiete. (a) NDFET Source/Draingegebiet bis zur vierten Bauelementgeneration, (b) hantelförmige Source/Draingegebiete zur Verringerung des Kontaktwiderstandes.

miger Source/Drainstruktur elektrisch charakterisiert, so wird zunächst beobachtet, dass der durch den P-NDFET fließende Strom um eine Dekade von $I_{\max, \text{nicht-optimiert}} \approx 1 \cdot 10^{-7} \text{ A}$ auf $I_{\max, \text{optimiert}} \approx 1 \cdot 10^{-6} \text{ A}$ ansteigt. Gleichzeitig erhöht sich der Maximalstrom des N-NDFET über den des P-NDFET hinaus. Damit ist, durch die höhere Elektronenmobilität, der Strom des N-NDFET wie erwartet höher als der des P-NDFET. Gleichzeitig sinkt die starke Varianz des Ausgangsstromes beider Transistortypen, vergleiche hierzu die in Abb. 4.15 und 4.19 eingefügten Boxplots zur Statistik über die Maximalströme von rund 40 Bauelementen des entsprechenden Typs. Eine Hantel-Rechteckbreite von 250nm ist bereits ausreichend, um die maximale Stromleitungsfähigkeit des Nanodrahtkanals zu erreichen. Das Verhältnis $I_{\text{ON}}/I_{\text{OFF}}$ zwischen Stromfluss im eingeschalteten Zustand I_{ON} und Leckstrom im ausgeschalteten Zustand I_{OFF} des Transistors beträgt bei den optimierten Bauelementen $I_{\text{ON}}/I_{\text{OFF}} = 10^8 \dots 10^6$, was für die hergestellten Prototypen einen hervorragenden Wert bedeutet. Der niedrige Strom im ausgeschalteten Zustand resultiert aus der Verwendung von SOI-Substraten mit dünnem Top-Si und somit der Vermeidung von Source/Drain- zu Substrat Leckströmen, sowie einer niedrigen Substratdotierung. Der in Abb. 4.19 zu beobachtende Unterschied der Leckströme des P-NDFET und des N-NDFET von $\Delta I_{\text{OFF, PMOS}}/I_{\text{OFF, NMOS}} \approx 40$ wird mit der leichten P-Typ Grunddotierung der verwendeten SOI-Substrate mit $N(\text{Bor}) = 1 \dots 2 \cdot 10^{15} \text{ cm}^{-3}$ erklärt. Der dadurch bedingte Überschuss von positiven Ladungsträgern bedeutet für den P-NDFET, dass bereits im ausgeschalteten Zustand Löcher vorhanden sind, die einen etwas höheren Leckstrom begünstigen. Die in Abb. 4.19 vorgestellte Unterschwelkenkennlinie zeigt eine Unterschwelkensteigung (S) von $S_{\text{P-NDFET}} = 100 \text{ mV/dec}$, sowie $S_{\text{N-NDFET}} = 150 \text{ mV/dec}$ und ist konkurrenzfähig zu Ergebnissen anderer Gruppen. Die

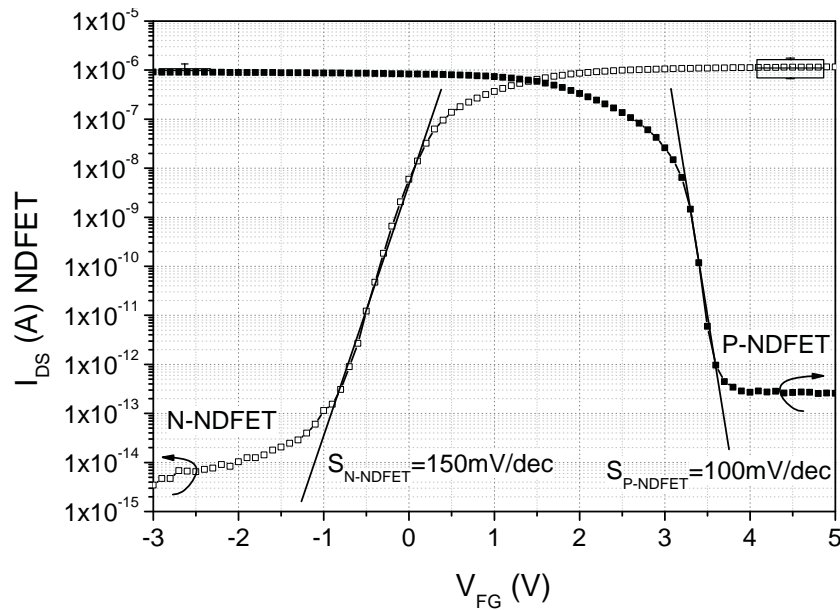


Abbildung 4.19: Unterschwellenkennlinie der Frontgatesteuerung eines NDFET mit optimierten N-NDFET mit 65nm Top-Si Dicke. Metallisierung NiSi, respektive Ni am Gate. Bauelemente der sechsten Generation.

etwas schlechtere Unterschwellensteigung des NMOS ist vermutlich durch den sich formenden Inversionskanal an der Grenzfläche von BOX/Top-Si zu erklären, an dem verstärkt 'Remote-Coulomb-Scattering' [105] auftritt, sowie Grenzflächenzustände, die im Oxid vorhanden sind. Dies gilt nur teilweise für die Löcherleitung die aufgrund der P-Typ Grunddotierung des Siliziums im gesamten Nanodrahtquerschnitt erfolgt.

Ergebnisse von Kranti et al. [106] haben gezeigt, dass Nanodrähte von der Unterschwellensteilheit und der Stromtragfähigkeit deutlich gewinnen, wenn eine geometrische Skalierung stattfindet. So besitzen zum Beispiel Bauelemente von Colinge et.al Unterschwellensteilheiten von 75mV/dec und darunter. Durch das Einfügen von Übergittern aus Materialien unterschiedlichen Bandabstandes, wie bei Gnani et al. [107], kann die Unterschwellensteilheit sogar auf Werte unter 20mV/dec gebracht werden. Der in dieser Arbeit vorgestellte Technologieansatz ist somit zukünftig durchaus geeignet eine Alternative zu aktuellen MOSFETs zu bilden. Die geometrischen Größenordnungen der Bauelemente von Kranti et al. können mit den vorhandenen technologischen Möglichkeiten am IHTN - Auflösung des EBL-Systems - allerdings nicht erreicht werden, dennoch ist die Simplizität des Herstellungsprozesses der hier vorgestellten Bauelemente eindeutig vorteilhaft. Kombiniert mit der Auswahlmöglichkeit des Transistortyps - P-NDFET oder N-NDFET - durch das Anlegen einer Selektionsspannung am Backgate wurde - dem Wissen des Autors nach - für Nanodrähte in dieser Arbeit weltweit zum ersten Mal gezeigt [108].

Wichtige Schlussfolgerung: Der Transistortyp - P-NDFET, oder N-NDFET - wird über das Anlegen einer Selektionsspannung - der Backgatespannung - auswählbar und ist nicht von der Dotierung des Nanodrahtes abhängig. Das Frontgate steuert über den Feldeffekt den Fluss der Ladungsträger die von der Backgatesteuerung zu Verfügung gestellt werden. Somit werden CMOS Schaltungen durch das Anlegen einer Selektionsspannung am Backgate des Bauelementes möglich.

4.4.1 3D Simulation zur detaillierten Untersuchung des CMOS-NDFET Verhaltens

Erneut wurde durch Simulation versucht das Bauelementverhalten nachzubilden. Durch die Tri-Gate-Struktur der Frontgateelektrode wurde es allerdings erforderlich von der 2D Simulation in Kapitel 4.3.2 auf eine 3D Simulation überzugehen. Eine realistische Betrachtung des Abschnürverhaltens des den Draht umschließenden Frontgateoxids wäre sonst nicht möglich gewesen. Das Ziel der Simulationsstudie ist es, die prinzipielle Funktionsweise der Bauelemente zu untersuchen. Abb. 4.20 (a) zeigt die, für die Simulation mit Sentaurus Workbench verwendete, 3D-Geometrie. Die geometrischen Abmessungen des Bauelementes entsprechen exakt den der hergestellten Bauelemente. Die Ni_xSi_y Schottky-Dioden an Source und Drain wurden mit einer Austrittsarbeitsdifferenz von 4,6eV simuliert. Abb. 4.20 (b) zeigt zum Vergleich die Unterschwelkenlinie der Simulation und der Messung. Durch Anlegen einer negativen Spannung am Backgate zeigt der Transistor bei Ansteuerung des Frontgates ein P-NDFET Verhalten. Eine positive Backgatespannung $V_{BG} = +20\text{V}$ zeigt hingegen ein klar erkennbares N-NDFET-Verhalten. Es ist zu erkennen, dass eine sehr gute Übereinstimmung mit den experimentellen Daten erreicht wird. Da es nicht Ziel der Arbeit ist ein Parameterfitting der Simulationsdaten an die Messdaten zu erreichen, wurden Ladungsträgereinfangstellen in den beiden Oxidschichten genauso wenig in Betracht gezogen, wie zusätzlich auftretende Source zu Gate und Gate zu Drain Serienwiderstände.

Im Folgenden soll mit Hilfe von Schnittbildern durch den Gatebereich des NDFETs detailliert dargestellt werden, wie sich die Ladungsträger räumlich im Frontgatekanal bewegen, beziehungsweise wie der Stromfluss unterbunden wird. Dies wird für den P-NDFET in Abb. 4.21 und für den N-NDFET in Abb. 4.22 gezeigt.

In beiden Abbildungen ist die Verteilung der jeweiligen Ladungsträgerdichten im Querschnitt durch die Mitte des simulierten NDFETs gezeigt. Das simulierte Frontgate besitzt, wie die hergestellten NDFETs, eine Frontgatelänge von $5\mu\text{m}$. Die Schnittebene befindet sich im Bereich des Frontgate (Abb. 4.21 oben links), beziehungsweise exakt in der Mitte des Frontgatekanalbereiches (Abb. 4.21 vergrößerte Darstellung oben rechts). Wird an das Frontgate des P-NDFET eine positive Spannung $V_{FG} = +5\text{V}$ angelegt, so werden die von der Backgatesteuerung $V_{BG} = -20\text{V}$

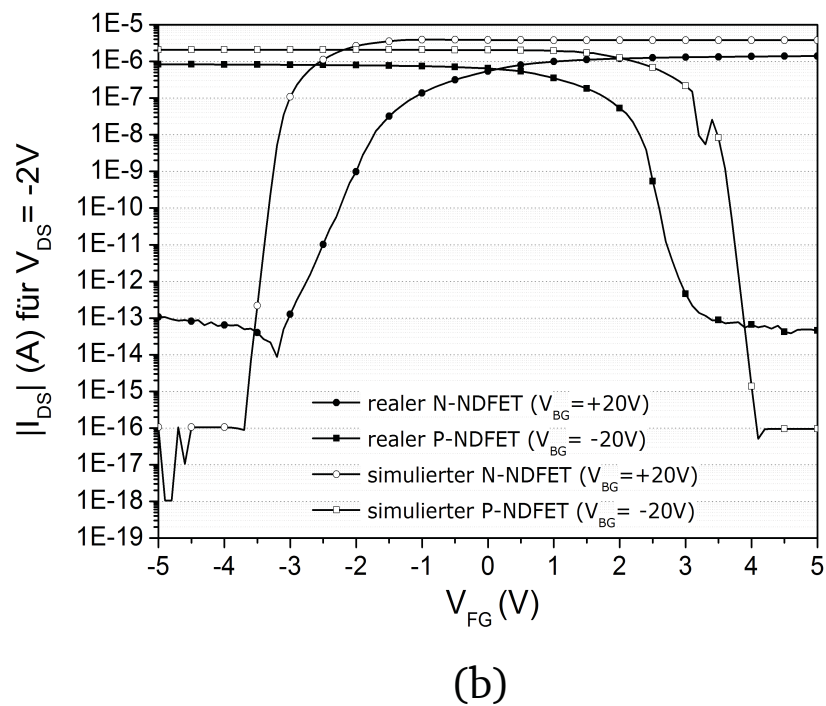
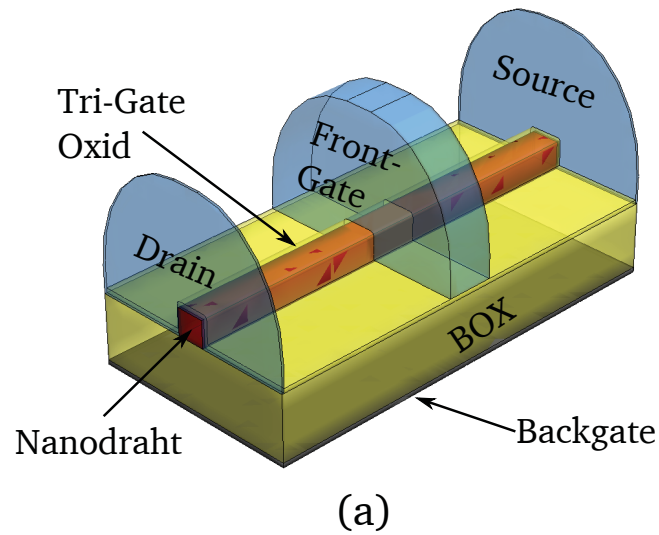


Abbildung 4.20: 3D Modell (a) der in der Simulation verwendeten Struktur. Vergleich (b) der experimentellen und der berechneten Daten.

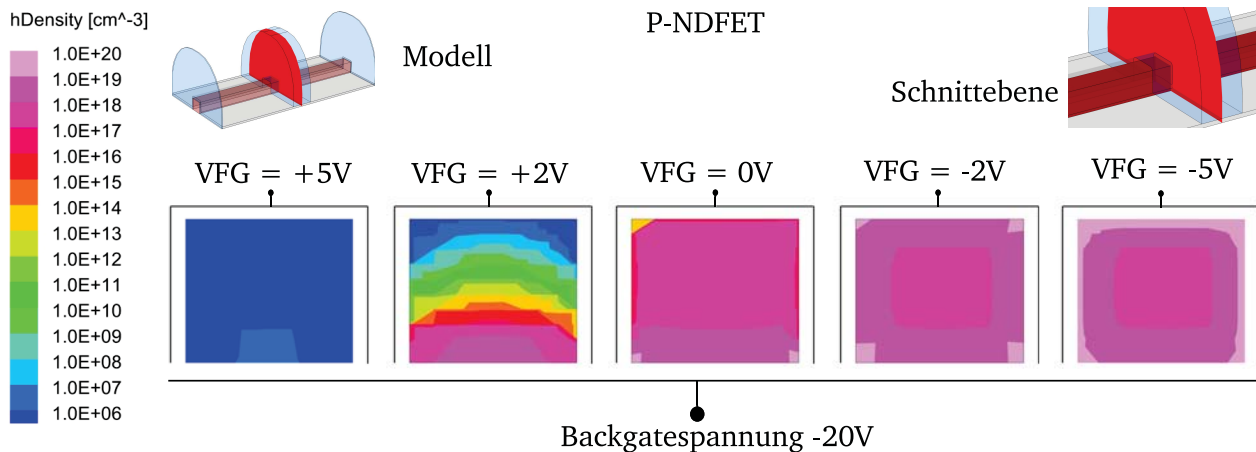


Abbildung 4.21: Querschnitte für verschiedene Frontgatespannungen durch den Kanalbereich eines P-NDFET.

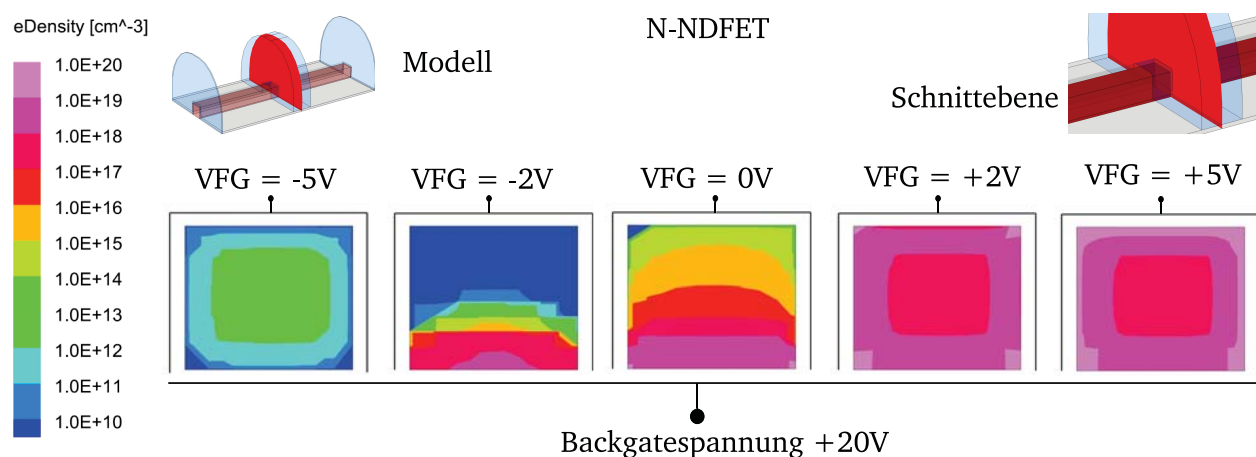


Abbildung 4.22: Querschnitte für verschiedene Frontgatespannungen durch den Frontgate Kanalbereich eines N-NDFET.

zur Verfügung gestellten Löcher aus dem Frontgatekanal verdrängt - der P-NDFET ist ausgeschaltet. Wird die Frontgatespannung auf $V_{FG} = +2V$ verringert, ist die Verdrängung der vom Backgate bereitgestellten Ladungsträger nicht mehr vollständig gewährleistet - der P-NDFET befindet sich im Unterschwellenbereich, siehe Abb. 4.20 (b), quadratische Symbole. Eine weitere Verringerung der Frontgatespannung $V_{FG} = -2V$ führt zu einer Akkumulation von Löchern im gesamten Nanodraht unterhalb der Frontgateelektrode, der Transistor befindet sich im eingeschalteten Zustand. Wird die Frontgatespannung weiterhin verringert, $V_{FG} = -5V$, so werden weitere Löcher unter der Frontgateelektrode gesammelt. Der maximale Ausgangsstrom wird hierbei nur noch minimal beeinflusst. Für den N-NDFET werden unter Verwendung umgekehrter Vorzeichen für alle anzulegenden Spannungen die gleichen Beobachtungen gemacht, siehe Abb. 4.22. Beide NDFET Typen zeigen bei sperrendem Frontgate eine Reduktion der die Funktion beherrschenden Ladungsträger.

Das Schema des NDFET ohne Frontgatekontakt aus Abb. 4.13 kann nun komplettiert werden zu dem Schema des gesamten CMOS-NDFET in Abb. 4.23. Zu dem vorangegangenen Schema wird hier das Frontgate als Kondensator an der Oberfläche des Nanodrahtes hinzugefügt.

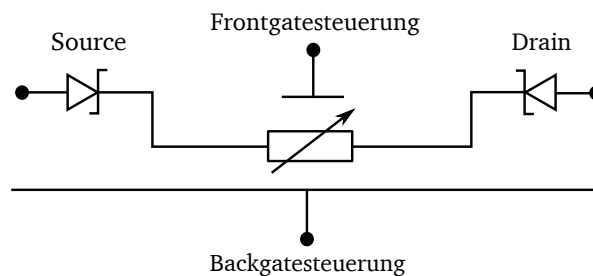


Abbildung 4.23: Schematische Darstellung des kompletten CMOS-NDFET.

Das Ziel der Simulation, nämlich die Untersuchung der Funktionsweise eines spannungsselektierbaren CMOS-NDFET, wurde somit erreicht.

4.4.2 Ausgangskennlinien der CMOS-NDFETs

Nachdem die Selektierbarkeit des Transistortyps durch Messungen und Simulation nachgewiesen wurde, wurden Messungen der Ausgangskennlinien durchgeführt.

In Abb. 4.24 und 4.25 finden sich experimentell ermittelte Ausgangskennlinien der NDFETs für P- und N-Kanalbetrieb bei verschiedenen Frontgatespannungen. Interessanterweise ist eine Ab-

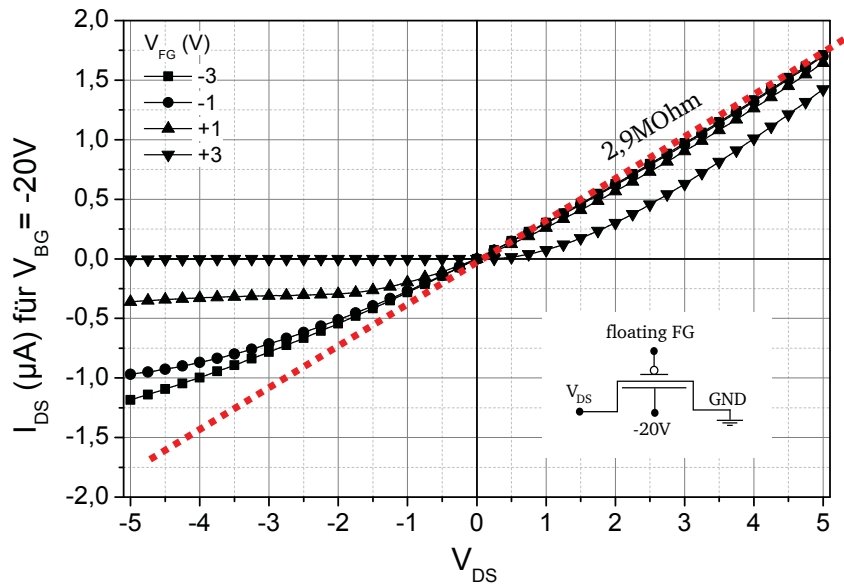


Abbildung 4.24: Ausgangskennlinie eines P-NDFET für verschiedene Frontgatespannungen.

hängigkeit der Ausgangskennlinie für unterschiedliche Source/Drainspannungs-Polaritäten zu erkennen. Für P-Kanalbetrieb und $V_{FG} = 3V$ lässt sich eine größere Sperrwirkung des Frontgatepotentials für negative Source/Drainspannungen feststellen ($V_{DS} < 0$), als dies für positive Source/Drain Spannung der Fall ist ($V_{DS} > 0$). Gleichermaßen ist bei N-Kanalbetrieb mit $V_{FG} = -3V$ eine Polaritätsabhängigkeit zu beobachten. Hier wirkt umgekehrt das Frontgatepotential für positive Source/Drainspannungen ($V_{DS} > 0$) wesentlich effektiver als für negative Source/Drainspannungen ($V_{DS} < 0$).

Gut zu erkennen ist auch der unterschiedliche Widerstand im leitenden Bereich der Kennlinien. Für den P-NDFET wurde für den Betrieb bei positiven Source/Drainspannungen ($V_{DS} > 0$) ein Kanalwiderstand von $R_{DS} = 2,9M\Omega$ ermittelt. Der Kanalwiderstand bezeichnet hier den Widerstand des gesamten Kanalbereiches der der Backgatesteuerung zwischen Source und Drain unterliegt. Der N-NDFET zeigt bei negativen Sourcespannungen ($V_{DS} < 0$) erwartungsgemäß einen niedrigeren Widerstand von $R_{DS} = 1,3M\Omega$. Dies ist nach Optimierung der Source/Drain-Silizidierungsdauer und der Source/Draingeometrie auf höhere Elektronenbeweglichkeiten im Gegensatz zu Löcherbeweglichkeiten in Übereinstimmung mit der Erwartung.

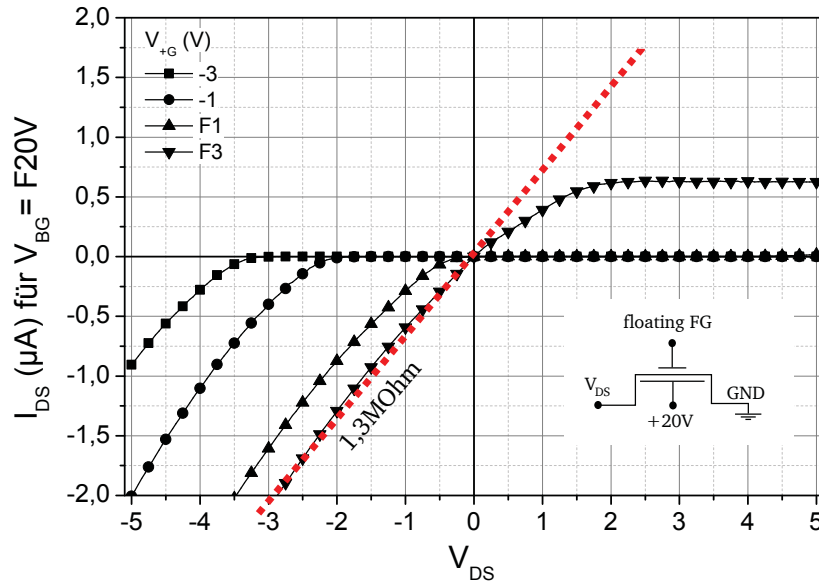
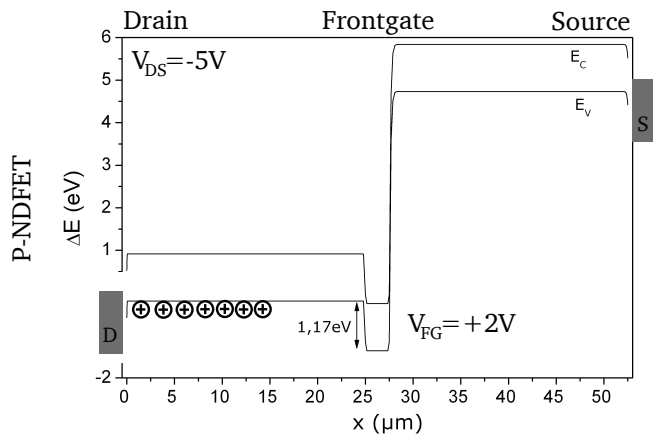


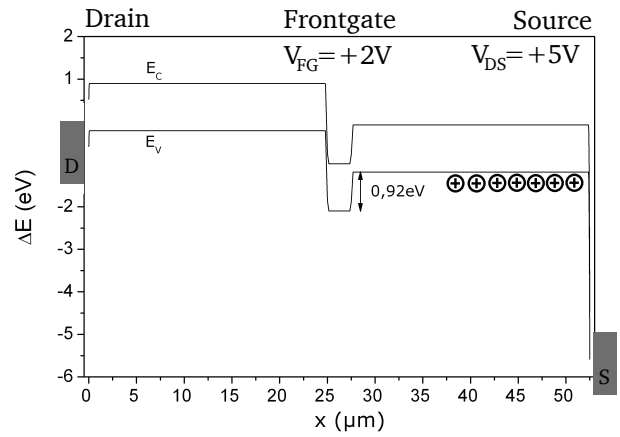
Abbildung 4.25: Ausgangskennlinie eines N-NDFET für verschiedene Frontgatespannungen.

Zur Klärung der Ursache der Polaritätsabhängigkeit wird eine 2D Bandsimulation der Struktur herangezogen, die trotz Unterschätzung der Wirkung des Frontgates qualitative Aussagen zulässt. Die Unterschätzung des Einflusses der Frontgatesteuerung rührt von der 2D Simulation her, da hier keine Tri-Gate Konstellation berücksichtigt werden kann. Die Ergebnisse der Simulation zeigt Abb. 4.26. Die Simulation des P-NDFET Betriebszustandes ($V_{BG} = -5V$) mit abgeschnürtem Gate bei einer Frontgatespannung von $V_{FG} = +2V$ zeigt einen Unterschied in der, durch das Frontgate induzierten Barrierehöhe (Potentialtopf), für entgegengesetzte Polaritäten der Source/Drainspannung V_{DS} . Für $V_{DS} = -5V$ treffen die Ladungsträger (Löcher) aus dem Drainkontakt auf einen Potentialtopf mit einer Potentialbarriere von $0,92eV$ (a). Für $V_{DS} = +5V$ treffen Ladungsträger aus dem Sourcekontakt auf eine Barrierehöhe von $1,17eV$ (Abb. 4.26 (b)). Analoges gilt für den N-NDFET Betrieb ($V_{BG} = +5V$) im Sperrzustand ($V_{FG} = -5V$). Hierbei beträgt die Barrierehöhe für Ladungsträger (Elektronen), die dem Drainkontakt entstammen $1,57eV$ (Abb. 4.26 (c)). Ladungsträger, deren Ursprung der Sourcekontakt ist liegt bei $0,87eV$ (Abb. 4.26 (d)).

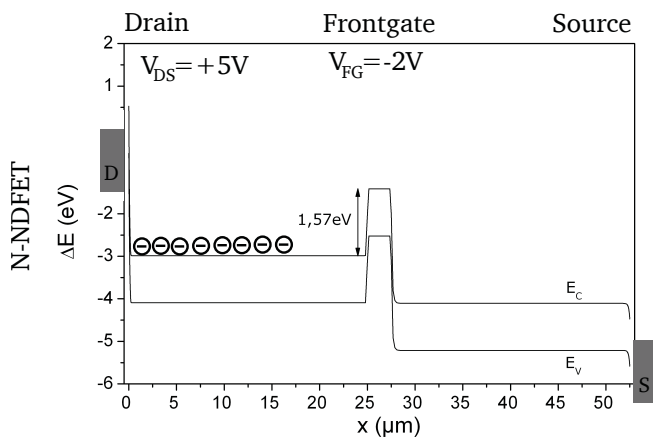
Zusammenfassend kann festgestellt werden, dass Ladungsträger, deren Ursprung im Drainkontakt liegt, für ein gegebenes Frontgatepotential stets einer höheren Potentialbarriere gegenüberstehen als die Ladungsträger, deren Ursprung im Sourcekontakt liegt. Dies erklärt die unterschiedliche Sperrwirkung des Frontgates in den Ausgangskennlinien (Abbildungen 4.24 und 4.25). Der gut zu erkennende Sättigungseffekt für $|V_{DS}| < 1V$ für den P-NDFET und den N-NDFET kann somit auch auf das Entstammen der Ladungsträger aus dem Drain-Kontakt zurückgeführt werden, da die drainseitige Barriere bei Änderung der Sourcespannung weitgehend unverändert bleibt.



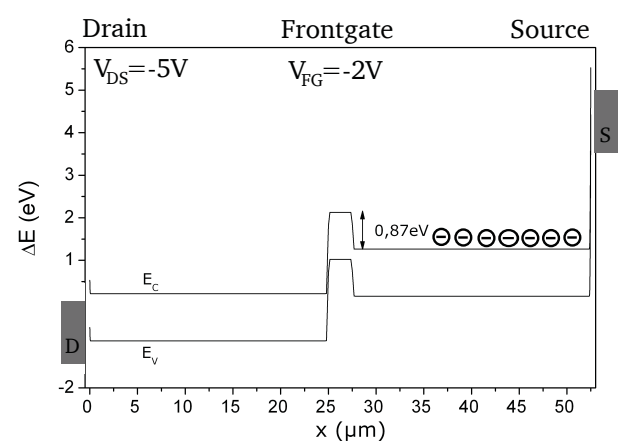
(a)



(b)



(c)



(d)

Abbildung 4.26: 2D Bandsimulation eines P- und N-NDFET bei unterschiedlichen Source/Drain Spannungen.

Abschließend zeigt Abb. 4.27 das gemessene Ausgangskennlinienfeld eines CMOS-NDFET der siebten Generation. Die Selektionsspannung wurde für die linke und rechte Hälfte des Graphen

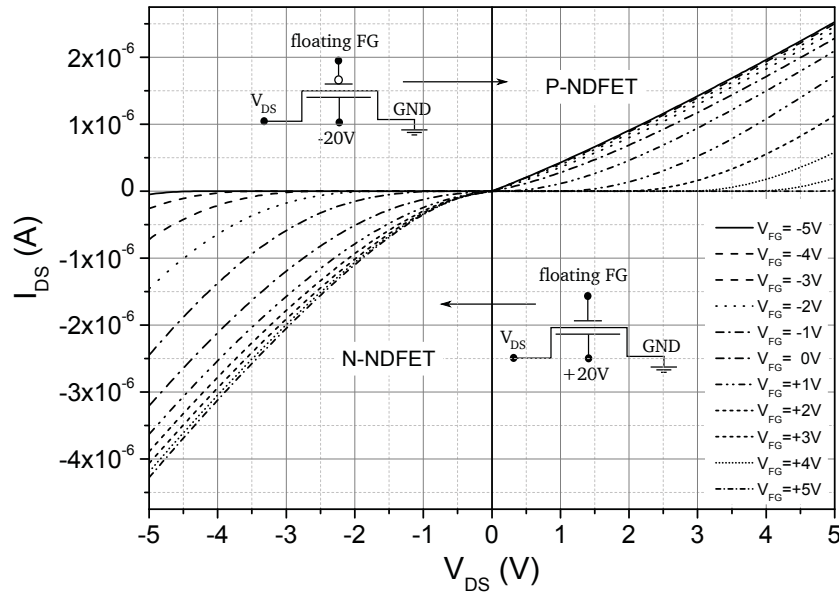


Abbildung 4.27: Ausgangskennlinienfeld eines CMOS-NDFET. Im ersten Quadranten des Graphen liegt die Selektionsspannung auf $V_{BG} = -20V$, P-NDFET Verhalten tritt auf. Im vierten Quadranten ist $V_{BG} = +20V$, sodass N-NDFET Verhalten auftritt.

unterschiedlich gewählt. Die Abhängigkeit des Ausgangsstromes von der Frontgatespannung ist sowohl für den P-NDFET als auch für den N-NDFET zu der eines konventionellen FET vergleichbar. Dass nicht die übliche Sättigung im Ausgangsstrom zu erkennen ist, wird zusätzlich zu der Source/Drain-Barrierenmodulation durch die relativ hohen parasitären Serienwiderstände verursacht. Ein ähnliches Verhalten wurde für halbleitende Kohlenstoffnanoröhrchen in [109] gefunden.

4.4.3 Variation der Nanodraht Geometrie - laterale und vertikale Skalierung

In der siebten Generation wurden auch NDFETs hergestellt, deren geometrische Abmessungen variiert wurden, um den Einfluss der Skalierung zu untersuchen. So wurde einerseits der Source zu Gate und Source zu Drain Abstand variiert, andererseits die Breite des Nanodrahtes. Dies soll zeigen, dass auch bei den hergestellten Nanodrähten die Gesetze der Skalierung zur Verbesserung der elektrischen Eigenschaften gelten. Abb. 4.28 verdeutlicht dies. Durch die Verkürzung der Nanodrähte wird der Kanalwiderstand R_{DS} wie erwartet erniedrigt. Eine Verringerung des Unterlappungsbereiches bis auf die in Kapitel 2.7.1 angedeutete Länge von wenigen Nanometern würde eine deutliche Verringerung des Kanalwiderstandes und somit eine deutliche

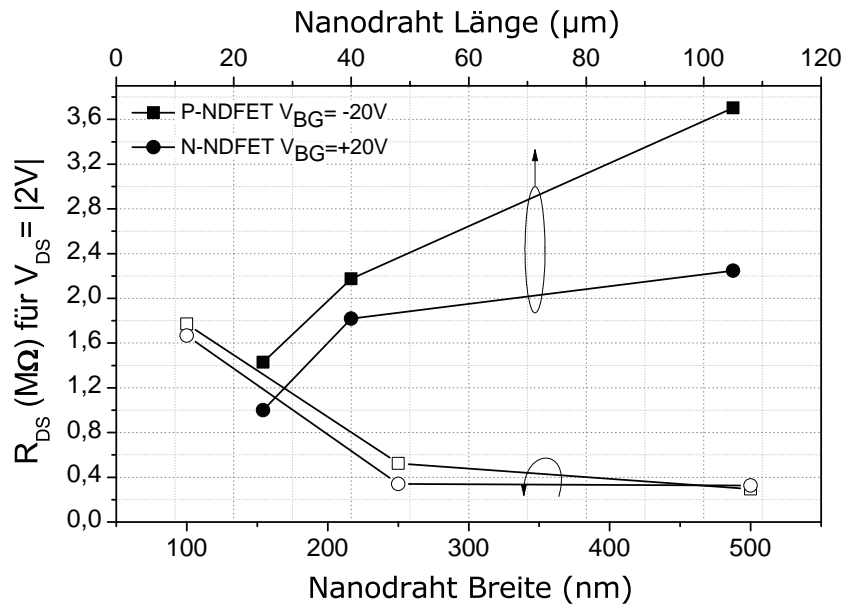


Abbildung 4.28: Leitungswiderstand des NDFET für eine Variation der Nanodrahtbreite und der Nanodrahtlänge.

Erhöhung des Ausgangsstromes mit sich bringen. Im Gegensatz dazu erhöht sich der Widerstand der Gesamtstruktur durch Verringerung der Breite des Nanodrahtes.

Reduzierte geometrische Abmessungen sind insgesamt von Vorteil, wenn man den Einfluss der Nanodrahtbreite nach Abb. 4.29 betrachtet. Übersteigt die Breite des Nanodrahtes etwa 110nm, so zeigt sich in den Unterswellenkennlinien der Frontgatesteuerung eine deutliche N-NDFET Charakteristik, allerdings verschiebt sich die Schwellspannung stark in Richtung negativer Werte. P-NDFET Verhalten hingegen ist ohne drastische Erhöhung der Frontgatespannung nicht mehr zu beobachten, vergleiche auch [106]. Wird der Nanodraht breiter ist die Feldwirkung des Frontgate nicht mehr ausreichend, um den darunterliegenden Bereich des Nanodrahtes von beweglichen Ladungsträgern zu räumen. Da durch die leichte P-Typ Grunddotierung der verwendeten Substrate bereits mehr Löcher als Elektronen vorhanden sind, ist es umso schwieriger den P-NDFET auszuschalten. Die hierfür nötigen Spannungen am Frontgate würden bei den vorliegenden Bauelementen zum dielektrischen Durchbruch führen. Folglich muss gewährleistet sein, dass die Tri-Gate Konstellation den Frontgatekanal im Bauelement vollständig von beweglichen Ladungsträgern ausräumen kann. Im Verlauf dieser Arbeit wurde zumeist SiO_2 verwendet, was für die vorliegenden Geometrien ausreichend bezüglich der benötigten Feldwirkung war. Soll jedoch die Skalierung der Bauelementgeometrie in den einstelligen Nanometerbereich weitergetrieben, so müssen müssen high- κ Gateoxide verwendet werden. Diese high- κ Gateoxide weisen bei gleicher Feldwirkung eine höhere physikalische Dicke auf, als das thermisch gewachsenen SiO_2 und weisen dadurch wesentlich verbesserte Leckstromeigenschaften auf.

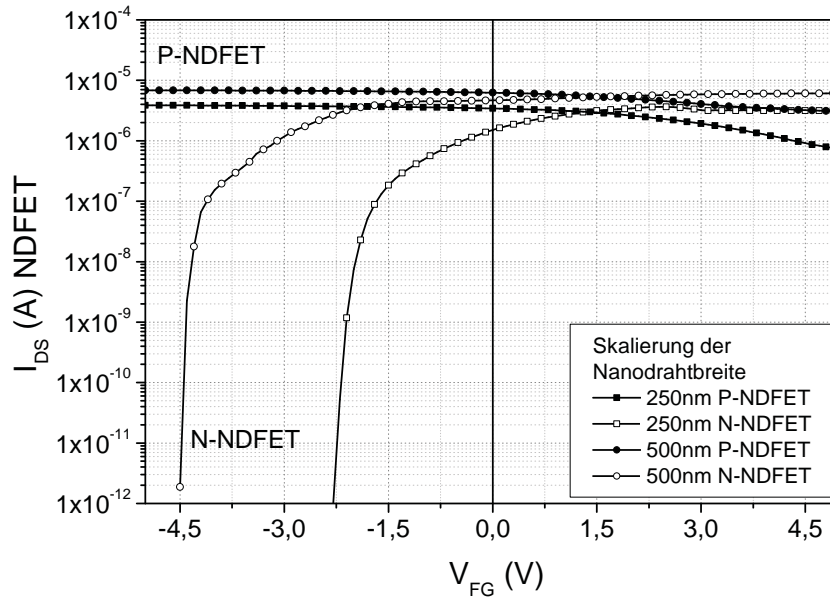


Abbildung 4.29: Unterschwellenkennlinien zur Illustration der Frontgatesteuerung bei verschiedenen Nanodrahtbreiten und Nanodrahtlängen. Bauelemente der siebten Generation.

4.4.4 Source/Drain Schottky-Dioden Austrittsarbeit

Ebenfalls von größter Bedeutung für die elektrischen Eigenschaften ist, welche Austrittsarbeit ϕ_M das Source/Drainkontaktmaterial besitzt. Wird für ein Bauelement der siebten Generation, mit allen möglichen Optimierungen der Geometrien, anstatt Nickelsilizid Aluminium als Kontaktmaterial eingesetzt, ergibt sich eine Unterschwellenkennlinie wie in Abb. 4.30 gezeigt. Durch den Einsatz von Aluminium als Kontaktmaterial degradieren die Transistoreigenschaften, was sich in einer Veränderung der Unterschwellenkennlinie des N-NDFET deutlich zeigt. Durch die Verwendung von Aluminium als Source und Drainkontaktmetall dominiert jetzt Löcherleitung, da die Austrittsarbeit an den Anschlüssen erniedrigt wird $\phi_{M(Al)} = 4,2eV < \phi_{M,Ni_xSi_y} = 4,7eV$. Dies deckt sich mit den Simulationsergebnissen aus Abb. 4.12.

Aus Tabelle 3.3 geht hervor, dass eine Vielzahl an Versuchen zur Herstellung der NDFETs durchgeführt worden sind. Alle daraus entstandenen Bauelemente wurden elektrisch charakterisiert. Dabei hat sich herausgestellt, dass Ni_xSi_y Source/Drainkontakte als beste hier untersuchte Materialkombination geeignet ist, wenn symmetrische CMOS-NDFETs realisiert werden sollten. Ni_xSi_y liegt mit der Austrittsarbeit $\phi_M = 4,7eV$ etwa in der Siliziumbandmitte, sodass es als 'mid-gap'-Schottky-Barrierenmetall sowohl Elektronen- als auch Löcherleitung, gleichfalls

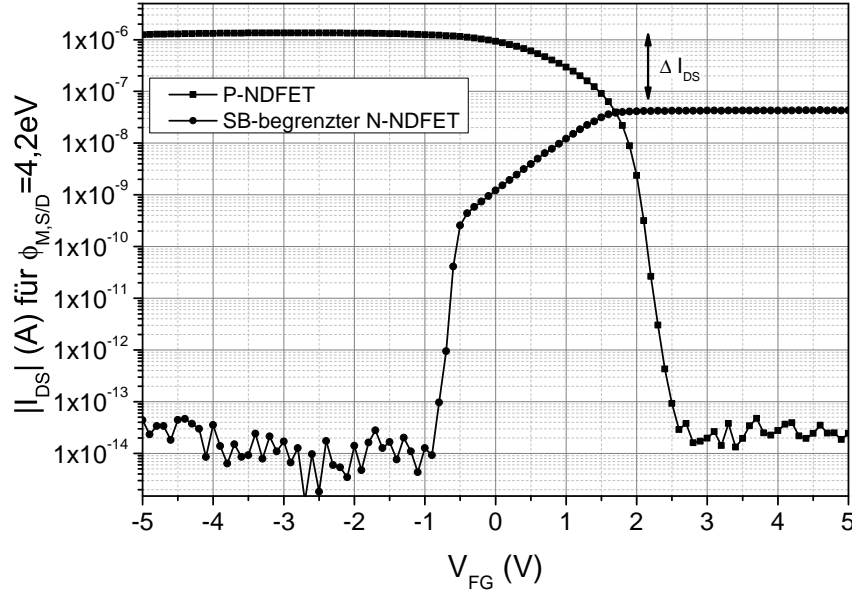


Abbildung 4.30: Unterschwellenkennlinie des Frontgate eines Nanodrahts mit Aluminiumkontakten an Source, Drain und Frontgate. Bauelement der siebten Generation.

ermöglicht. Die Schottky-Barrieren für beide Fälle sind in etwa gleich groß (unbeachtet des 'fermlevel-pinning', vergleiche Kapitel 2.3):

$$-kT \cdot \ln(I_{th}) = \Phi_{B,n} = 0,65\text{eV} \quad (4.1)$$

mit einem Strom $I_{th} \approx 10 \cdot 10^{-12}\text{A}$. Daraus folgt:

$$\Phi_{B,p} = E_{G,Si} - \Phi_{B,n} = 1,12\text{eV} - 0,65\text{eV} = 0,46\text{eV} \quad (4.2)$$

Der Unterschied der Austrittsarbeiten begründet teilweise auch die ungleiche Schwellspannung für den P-NDFET und den N-NDFET, vergleiche auch Abb. 4.19.

4.4.5 Einstellbarkeit der Unterschwellensteigung

Abb. 4.31 zeigt die Unterschwellenkennlinie der Backgatesteuerung in Abhängigkeit von der Source/Drainspannung mit floatender Frontgatelektrode. Es zeigt sich ein systematischer Zu-

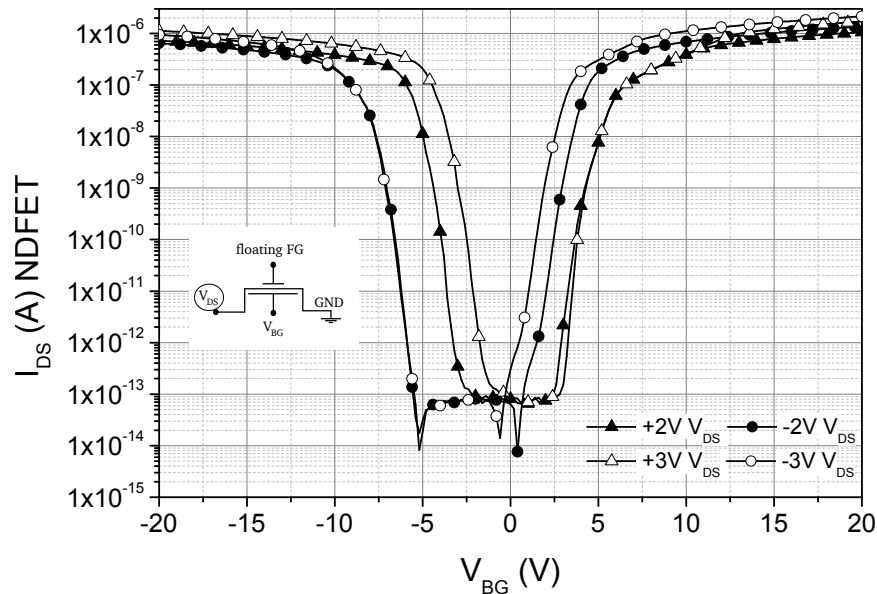


Abbildung 4.31: Unterschwellenkennlinien der Backgatesteuerung eines NDFET in Abhängigkeit der Source/Drainspannung. Bauelement der siebten Generation.

sammenhang zwischen der Polarität der Backgate- und Drain/Sourcespannung. Eine höhere Potentialdifferenz zwischen V_{BG} und V_{DS} ermöglicht einen höheren Strom. Dies kann mit dem durch Simulation unterstützten Modell der Backgatesteuerung (vergleiche Kapitel 4.3.2) erklärt werden. Eine zusätzliche Reduktion der Breite der Schottky Barriere und somit zunehmende Tunnelwahrscheinlichkeit werden als ursächlich angenommen. Die unsymmetrische Einsatzspannung für die Ausbildung des Elektronenkanals wird durch eine geringe P-Typ-Grunddotierung des verwendeten Substrates vermutet. Somit ist die Ausbildung eines Löcherkanals früher zu erwarten, da zunächst das Dotierungspotential des P-Typ-Halbleiters überwunden werden muss, was auch von den Messergebnissen gestützt wird. Die Verschiebung der Kennlinie auf der V_{BG} -Achse durch das Anlegen verschiedener Source/Drainspannungen ermöglicht ebenfalls die optimale Einstellung der Schwellspannung des Backgatetransistors. Weitere, die Schwellspannung beeinträchtigende Faktoren sind, die Dotierstoffkonzentration, die Oxiddicke sowohl des Frontgates, als auch des Backgates, sowie die Breite und Höhe des Nanodrahtes (vergleiche hierzu [72]). Bei den hier vorgestellten Bauelementen beeinflusst natürlich auch die Backgatespannung die Schwellspannung maßgeblich, vergleiche Gl. 2.10. Diese Freiheitsgrade in der Varianz der Schwellspannung und Unterschwellensteigung kann man in der Schaltungsentwicklung nutzen, um gewünschte Bauelementcharakteristika über angelegte Spannungen an den Anschlüssen der NDFETs bereitzustellen.

Die Höhe der anliegenden Spannung am Backgate kann verwendet werden, um die Unterschwellensteigung des NDFET über einen weiten Bereich anzupassen. Dies verdeutlicht Abb. 4.32. Die Steigung wird mit sinkender Backgatespannung größer, dies ist auf die geringere Streuung der Ladungsträger während der Bewegung durch den Nanodraht zurückzuführen. Zu erkennen ist weiterhin, dass auch der Maximalstrom mit zunehmender Backgatespannung steigt, was durch mehr Ladungsträger, welche durch die Backgatesteuerung zur Verfügung gestellt werden, erklärbar ist. Eine Erhöhung des Maximalstromes der Backgatesteuerung kann

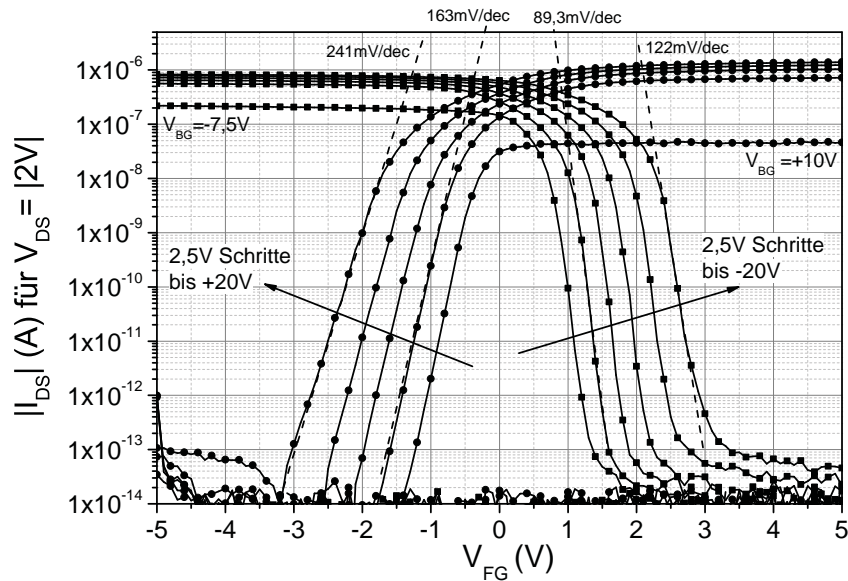


Abbildung 4.32: Variabilität der Unterschwellensteigung S durch Variation der Backgatespannung eines Nanodrahts der 7. Generation in Abhängigkeit der Source/Drainspannung.

auch für den Einsatz einer Frontgatespannung erkannt werden, wie in Abb. 4.33 gezeigt wird. Als Ursache für die Erhöhung des Stromes wird ein verstärkter Durchgriff des Frontgatepotentials auf die source- und drainseitigen Schottky-Dioden und eine damit einhergehende Reduzierung der Schottky-Barrierenhöhe vermutet. Diese Annahme stimmt auch mit der Beobachtung der nichtlinearen Abnahme des Kanalwiderstandes mit der Nanodrahtlänge überein, siehe Abb. 4.28. Zusammenfassend sind durch Anwendung verschiedener Spannungen und Polaritäten, die Einstellmöglichkeiten des Arbeitspunktes im mehrdimensionalen Kennlinienfeld auf flexible Art und Weise möglich, wie in Abb. 4.34 dargestellt.

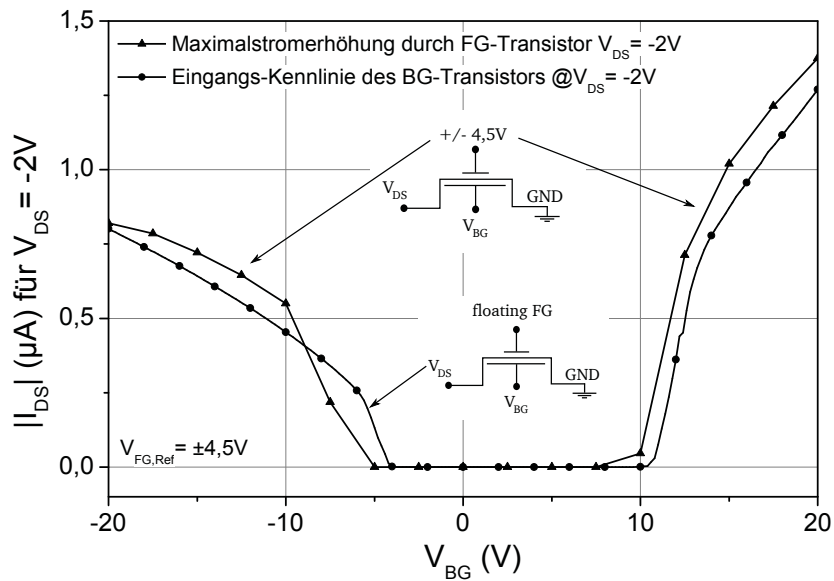


Abbildung 4.33: Beeinflussung des Maximalstromes $I_{DS,max}$ der Backgatesteuerung durch Anlegen einer Frontgatespannung. Bauelement der siebten Generation.

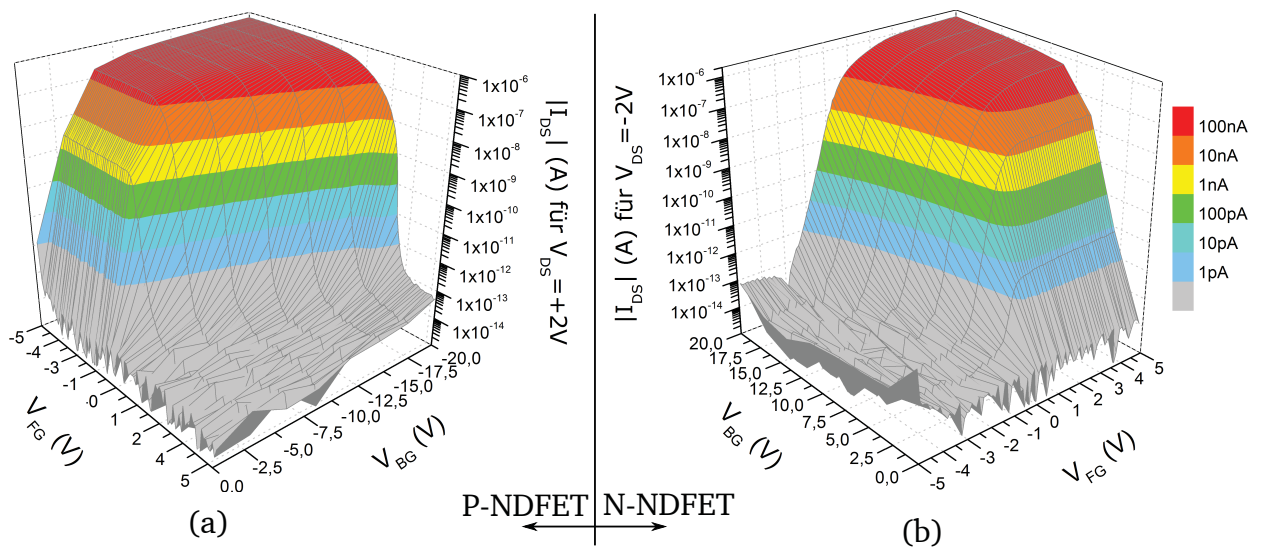


Abbildung 4.34: Mehrdimensionale Kennlinienfelder von NDFETs. Hieraus ergeben sich Möglichkeiten der zweidimensionalen Anpassung des Arbeitspunktes für analogen Schaltungsentwurf. Bauelemente der siebten Generation.

4.4.6 Parallelisierbarkeit der NDFETs

Die Fragestellung, ob sich durch Parallelisierung von Nanodrähten NDFETs mit vergrößertem Ausgangstrom herstellen lassen, wird im Folgenden untersucht. Abb. 4.35 zeigt stellvertretend die Unterschwellenkennlinie eines P-NDFET mit unterschiedlicher Anzahl an parallelen Nanodrähten. Die parallelen Drähte sind dabei jeweils als eigenständiger Kanalbereich zu betrachten. Der Ausgangsstrom vervielfacht sich idealerweise linear mit der Anzahl der Nanodrähte,

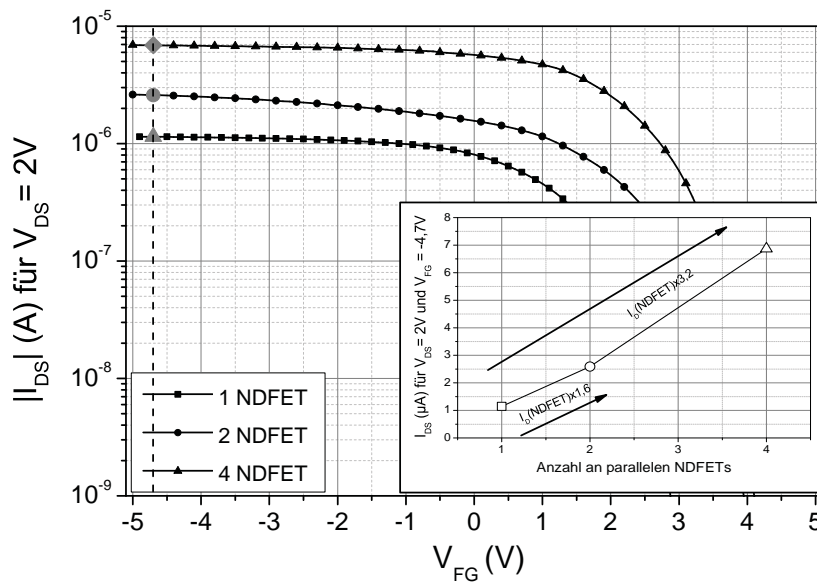


Abbildung 4.35: Unterschwellenkennlinien eines P-NDFET mit mehreren parallelen Nanodrähten. Bild-im-Bild: Durch Parallelisierung erreichter Stromanstieg, respektive der Erhöhung der aktiven Bauelementquerschnittsfläche.

also zwei Nanodrähte entsprechen $2 \cdot I_{ds}$. Die hergestellten Nanodrähte weisen einen Vervielfachungsfaktor von $1,6 \cdot I_{DS}$ auf. Dies liegt in der, aus Abb. 3.17 bekannten, 'line-edge-roughness' begründet. So ist jeder hergestellte Nanodraht geringfügig unterschiedlich zu anderen Nanodrähten.

Schlussfolgerung: Die Parallelisierbarkeit der Nanodrähte unter Beibehaltung der Auswahlbarkeit des Transistortyps ist gegeben.

4.4.7 Temperaturfestigkeit der NDFETs

Die in Abb. 4.26 erkannte unsymmetrische Frontgatepotentialbarriere für Ladungsträger aus den Source/Drainanschlüssen soll nun bezüglich der Nutzbarkeit für Anwendungen bei hohen Temperaturen untersucht werden. Erkenntnisse hierzu können aus der Untersuchung einer experimentell ermittelten Unterschwellenkennlinie für N-NDFET Betrieb und deren Temperaturabhängigkeit gewonnen werden. Diesbezüglich werden Unterschwellenkennlinien für die zwei hauptsächlich zur elektrischen Charakterisierung verwendeten Spannungen $V_S = \pm 2V$ in einem Temperaturbereich von $T = 24...202^\circ C$ herangezogen. Abb. 4.36 zeigt zwei dieser Kennlinien für verschiedene Backgatespannungen. Ein Zusammenhang zwischen Polarität

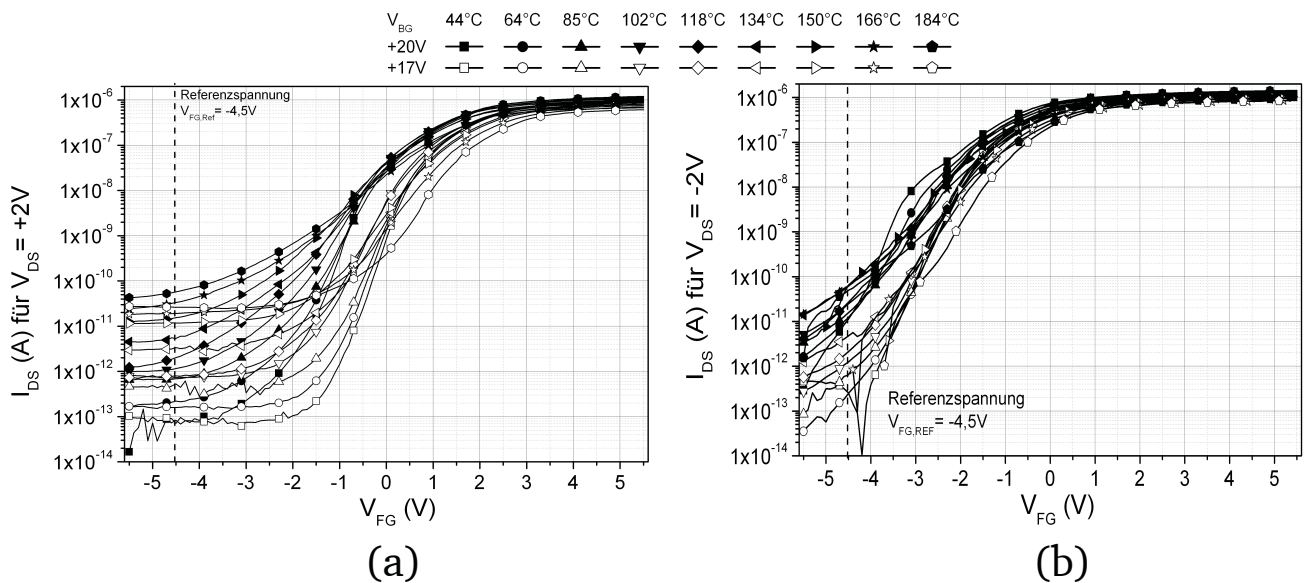


Abbildung 4.36: Temperaturabhängigkeit der Unterschwellenkennlinie eines N-NDFET bei $V_{DS} = +2V$ (a) und $V_{DS} = -2V$ (b).

der Source/Drainspannung und dem Verlauf des Stromes kann klar erkannt werden. Die zwischen den Kurvenscharen für $V_{BG} = +20V$ und $V_{BG} = +17V$ erkennbare Verschiebung der Einsatzspannung kann mit der gegenseitigen Beeinflussung der Front- und Backgatepotentiale begründet werden, vergleiche Abb. 2.10. Eine deutlichere Verschiebung von $V_{T,N}$ abhängig von der Source/Drainspannung ist zu den Ergebnissen der Bändersimulation konform. Die Ladungsträger stehen beim Anlegen einer negativen Source/Drainspannung, siehe Abb. 4.36 (a), einer niedrigeren Barriere gegenüber, als dies bei positiven Source/Drainspannungen, wie in Abb. 4.36 (b) der Fall ist - vergleiche hierzu auch Abb. 4.26. Bei positiver Source/Drainspannung ist eine betragsmäßig kleinere Frontgatespannung notwendig um den Kanalbereich abzuschnüren.

Wird die Temperaturabhängigkeit der Unterschwellenkennlinie bei einer Referenz-Frontgate-Spannung im Sperrbereich untersucht (hier $V_{FG,ref} = -4,5V$) kann die auf Basis der Bandsimula-

tion gemachte Annahme bestätigt werden, siehe Abb. 4.37. Der erwartete exponentielle Verlauf ist typisch für thermionische Emission der Ladungsträger über den durch die Frontgateelektrode erzeugten Potentialtopf, vergleiche Abb. 4.37(a). Dies gilt im vorliegenden Fall wie vermutet für negative Source/Drainspannung ($V_{DS} = -2V$). Für positive Source/Drainspannungen ($V_{DS} = +2V$) ist die Temperaturabhängigkeit aufgrund der höheren Barriere um den Faktor 100 geringer, da deutlich weniger thermische Emission über die Barriere möglich ist, siehe Abb. 4.37 (b). Da die abschnürende Wirkung des elektrischen Feldes des Frontgate unabhängig von der

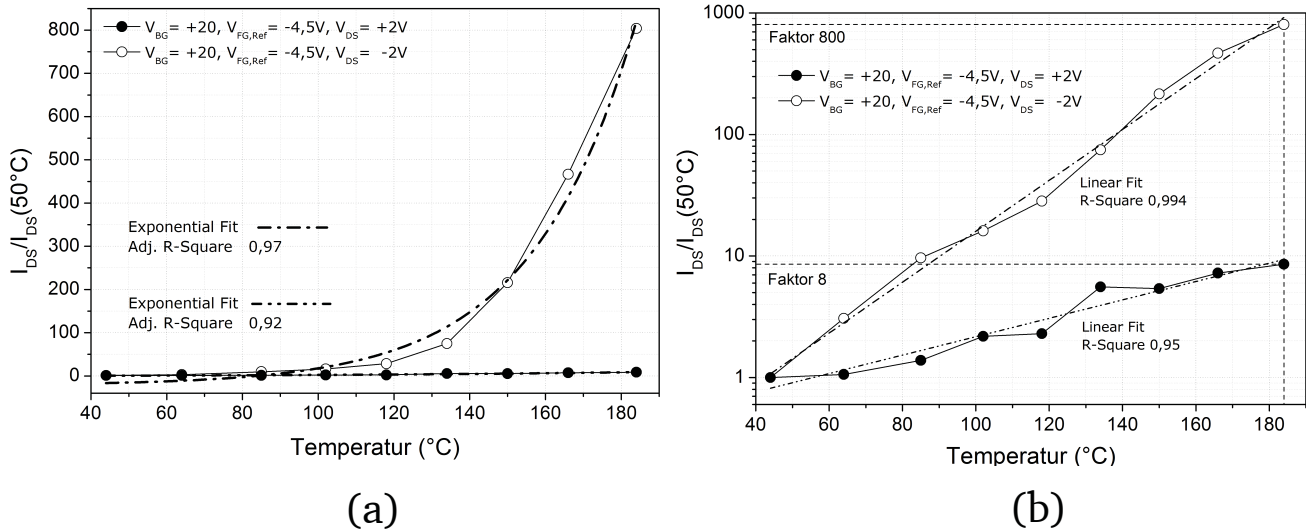


Abbildung 4.37: Temperaturabhängigkeit des Stromes eines N-NDFET bei unterschiedlichen Source/Drainspannungspolaritäten, normiert auf 50°C . (a) Lineare Darstellung zur Verdeutlichung des vorherrschenden Leitungsmechanismus, (b) logarithmische Darstellung zum Vergleich des Leckstromverhaltens.

Temperatur ist und die Verwendung von sehr dünnem *SOI*-Material ($d_{\text{Top-Si}} \leq 80\text{nm}$) Substratströme eines Bulk-Transistors vermeiden hilft, wurden auch Untersuchungen zur Temperaturfestigkeit beider NDFET-Typen unter Berücksichtigung der vorherigen Beobachtungen vorgenommen. Messungen bei schrittweise erhöhter Temperatur sind in Abb. 4.38 dargestellt. Wie zu sehen, ist bei schrittweiser Erhöhung der Temperatur kein Funktionsverlust festzustellen. Selbst bei Temperaturen um 200°C sinkt das Verhältnis von I_{ON}/I_{OFF} lediglich um zwei Größenordnungen auf Werte um 10^5 bei $I_{OFF} = 1 \cdot 10^{-10}\text{A}$. Eine Degradation der Schwellenkennlinie ist ebenfalls gering. Weiterhin ist anzumerken, dass bei der Temperaturcharakterisierung eine Beschaltung mit niedriger Frontgatebarriere gewählt wurde - also der Fall, der exponentiell von der Temperatur abhängig ist - der dennoch eine wesentlich bessere Temperaturstabilität aufweist, als ein konventioneller MOSFET. Dieser Unterschied wird deutlich, bei vergleichender Betrachtung der Temperaturabhängigkeit der Schwellenkennlinie eines Bulk-CMOS-MOSFET aus der Fertigung des IHTN, was Abb. 4.39 zeigt. Hier treten zusätzlich zu den erwünschten Strömen von Source nach Drain auch deutlich erhöhte Sperrströme durch die Source/Drain-Dioden und Ströme im Bulk-Si auf. Da keine Abgrenzung durch ein BOX wie bei *SOI*-Substraten gegeben ist

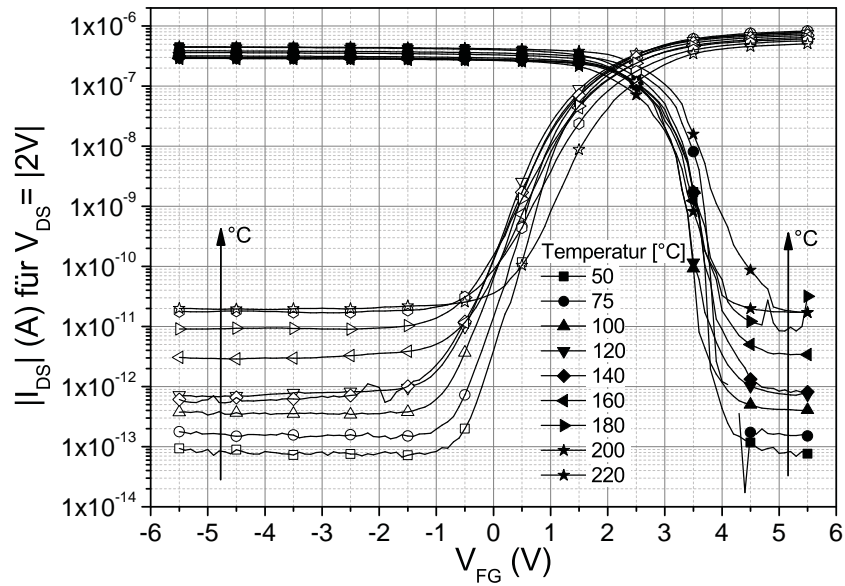


Abbildung 4.38: Temperaturabhängigkeit der Unterschwellenkennlinie eines spannungsselektiven NDFETs. Geschlossene Symbole zeigen den P-NDFET, offene Symbole den N-NDFET.

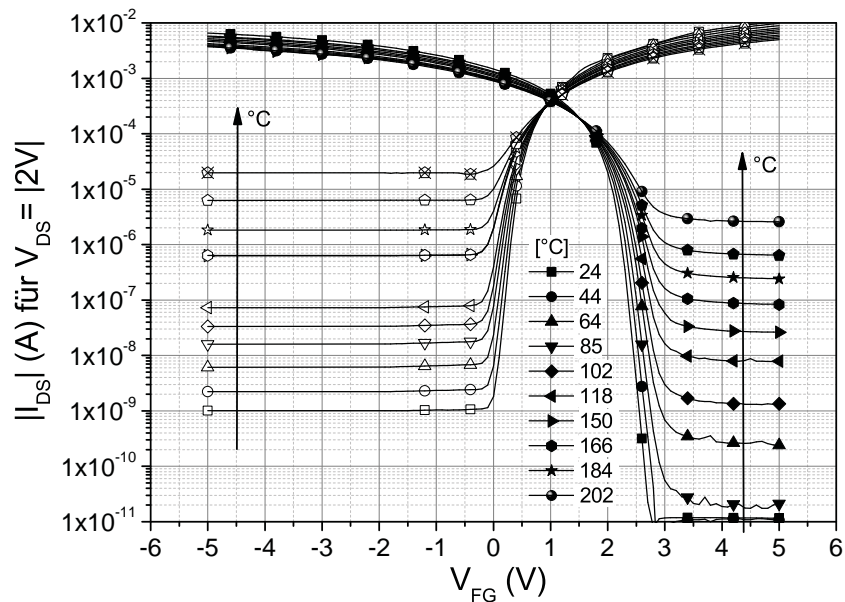


Abbildung 4.39: Temperaturabhängigkeit der Unterschwellenkennlinie eines Bulk-Si-MOSFET. Geschlossene Symbole zeigen den PMOS, offene Symbole den NMOS.

tragen auch die im Bulk-Si generierten Ladungsträger zum Leckstrom des Transistors bei. Auch für den Bulk-Transistor ist eine Funktionsfähigkeit noch beobachtbar, allerdings ist er ab einer Temperatur von 150°C nicht mehr sinnvoll in CMOS Schaltungen einsetzbar, da der Leckstrom im OFF-Zustand zu stark steigt. Für $I_{\text{ON, Bulk NMOS}}/I_{\text{OFF, Bulk NMOS}}$ wird bei 200°C lediglich noch ein Verhältnis von $1 \cdot 10^2$ erreicht. Verdeutlicht wird der Zusammenhang zwischen Temperatur T und I_{OFF} und I_{ON} durch Abb. 4.40. Eine weitere vergleichende Darstellung ist in Abb. 4.41 zu

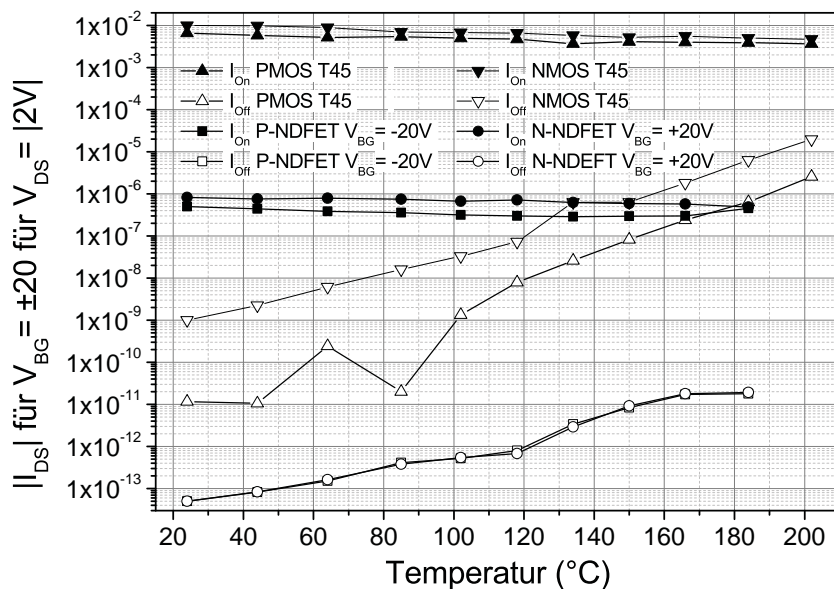


Abbildung 4.40: Vergleich der Temperaturabhängigkeit des On- und Off-Stromes eines NDFET mit einem konventionellen planaren Bulk-Si MOSFET aus der IHTN Reihe T45.

sehen. Es ergibt sich hier eine wesentliche Verbesserung der Temperaturabhängigkeit des Sperrstroms des NDFET, insbesondere für den Fall des N-Kanalbetriebs für den Betrieb mit großer, durch das Frontgate induzierter Potentialbarriere, siehe Abb. 4.26 (a) und (c). Es wird deutlich, dass in diesem Betriebsbereich (Abb. 4.41 sternförmige Symbole) selbst bei stark erhöhter Temperatur nur eine geringe Erhöhung des Leckstroms zu beobachten ist. Dies ermöglicht den Einsatz der im Laufe dieser Arbeit hergestellten NDFETs für low-power Anwendungen, selbst bei stark erhöhter Temperatur. Dies macht die NDFETs besonders interessant für sogenannte 'Green-IT' Anwendungen, oder auch Anwendungen im Automobil-Bereich, beispielsweise für energiesparende Logik im Bereich des aufgeheizten Motorraumes.

Schlussfolgerung: Durch Wahl der Polarität der Source/Drainspannung ist es möglich den optimierten CMOS-NDFET sowohl für die Leistungselektronik, als auch für hochtemperatur Anwendungen energieeffizient einzusetzen.

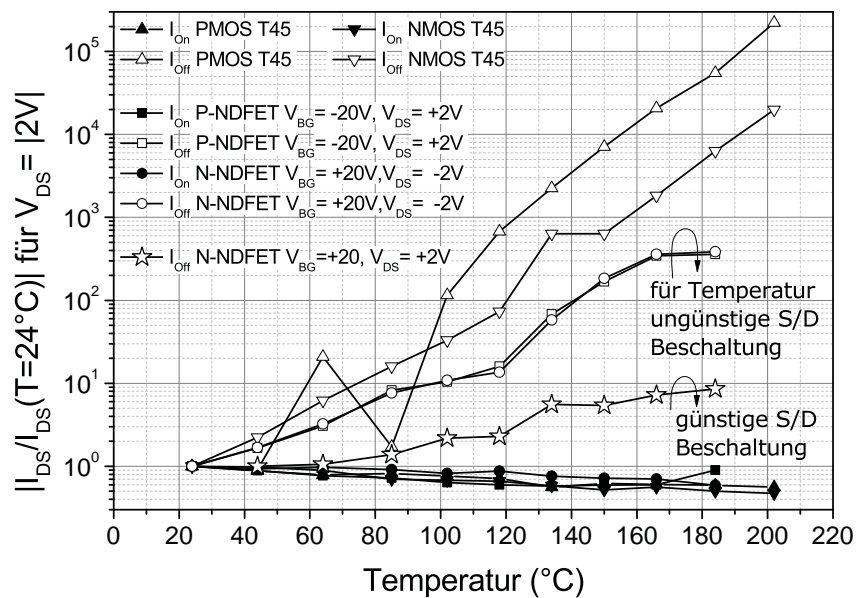


Abbildung 4.41: Normierter Vergleich der Temperaturabhängigkeit des Stromes eines NDFET mit einem konventionellen planaren Bulk-Si MOSFET aus der IHTN Reihe T45.



Kapitel 5

Verwendung der Nanodraht-FETs in spannungs-selektiven CMOS Schaltungen



In diesem Abschnitt werden die in Kapitel 4 gemachten Beobachtungen und die dazugehörigen Bauelemente genutzt, um anhand einer einfachen integrierten Schaltung das CMOS-NDFET Konzept zu demonstrieren. Am Anfang stehen Überlegungen zum Layout der Schaltungen mit den speziellen Eigenschaften der Nanodrähte. Eine möglicherweise geeignete Technologie-Plattform wird vorgestellt. Es folgt die Beschreibung der Meßmethodik zur Charakterisierung der elektrischen Eigenschaften der aufgebauten Schaltung. Die Vorstellung der Ergebnisse der elektrischen Charakterisierung runden diesen Abschnitt ab. Versuche zur Herstellung eines Demonstrators mit fertig gebondeten und in Gehäuse verpackten Substraten findet sich in Anhang B.

5.1 Layoutdesign für spannungs-selektive NDFET-CMOS Logikanwendungen

Auf Basis der vielversprechenden Bauelementcharakteristika aus dem vorangegangenen Kapitel wird nun die Möglichkeit des Einsatzes der Nanodrähte in elektronischen Schaltungen untersucht. Da die hergestellten Bauelemente sich allerdings alle auf ein und demselben Substrat befanden, war es nicht möglich nur einzelne Bauelemente über das Anlegen einer BG Spannung am Handle-Wafer des *SOI*-Substrates anzusteuern. Eine Lösung dieses Problems ist auf handelsüblichen *SOI*-Wafern nur schwer zu erreichen, beispielsweise durch Wannenimplantationen in das BOX, daher wurde nach alternativen Möglichkeiten zur Integration gesucht.

Eine erste Idee war, die unterschiedlichen BG Spannungen durch PN-Übergänge direkt an der Grenzfläche BOX zu Handle-Wafer zu ermöglichen. Schematisch zeigt dies Abb. 5.1. Durch An-

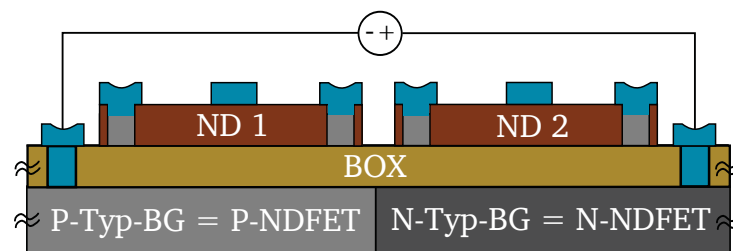


Abbildung 5.1: NDFET CMOS-Inverter mit durch PN-Übergang isolierter Backgatesteuerung im Handle-Wafer.

legen einer Sperrspannung an die so entstehenden Dioden im Handle-Wafer werden die Backgates beider Bauelemente voneinander getrennt und gleichzeitig der Transistortyp (P-NDFET oder N-NDFET) selektiert. Die negative Spannung unter Nanodraht 1 (ND1) bestimmt den P-NDFET, die positive Spannung unter Nanodraht 2 (ND2) definiert den N-NDFET. Die Herstellung eines solchen Substrates gestaltet sich aus technologischer Sicht allerdings äußerst schwierig. Sollen die angedeuteten Zonen unterschiedlicher Dotierung unterhalb von Nanodraht 1 und Nanodraht 2 mittels Ionenimplantation hergestellt werden, so muss zumindest

eines der beiden (P- oder N-Typ) Gebiete von der Oberseite mit Ionen bombardiert werden (zur Gegendotierung des Wafers). Die dabei auftretende Zerstörung des Kristallgefüges des Top-Si und der Anreicherung des BOX mit Ladungsträgereinfangstellen ist nicht zu verhindern und beeinflusst stark das Leckstromverhalten und auch die Lebensdauererwartung der fabrizierten Bauelemente. Der durch die Diode fließende Sperrstrom trägt weiterhin zu einer erhöhten Leistungsaufnahme während des Betriebes bei und verschlechtert somit die Attraktivität dieses Lösungsansatzes. Darüber hinaus ist der Platzbedarf unter einem Bauelement durch die auftretende Raumladungszone deutlich größer als das eigentliche Bauelement selbst, was die mögliche Packungsdichte deutlich verringert. Ein möglicher Ausweg wäre, mehrere Bauelemente zu kleinen Gruppen zusammenzufassen, welche gleichzeitig selektiert werden. Dieses Verfahren würde die Versatilität einer Schaltung allerdings nachhaltig beeinträchtigen. Ein Integrationstest dieses Ansatzes in Charge GAA-5 brachte keine zufriedenstellenden Ergebnisse, da der IHTN-eigene Ionenimplanter während der Ionenimplantation der Backgates die bereits gefertigten Nanodrähte so stark schädigte, dass nach der anschließenden Aktivierungstemperung keine elektrischen Charakteristika mehr aufgenommen werden konnten.

Soll hingegen jedes Bauelement einzeln angesteuert werden, so muss jeder CMOS-NDFET ein eigenes Backgate besitzen, welches unabhängig von den restlichen Bauelementen mit der Selektionsspannung beschaltet werden kann. Die vom Autor favorisierte Lösung [108, 110, 111, 112], welche die Probleme bei der Ionenimplantation und den damit einhergehenden zusätzlichen Leckströme und Kapazitäten vermeiden hilft, zeigt Abb. 5.2. Die Integration der Nanodrähte

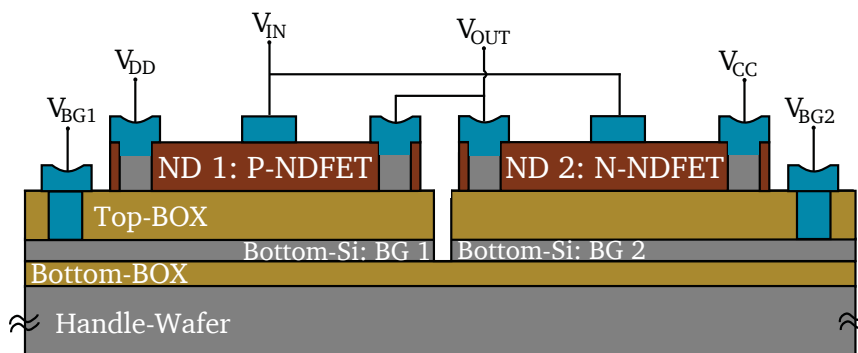


Abbildung 5.2: Aufbau eines CMOS Inverters mit spannungs-selektierbaren Nanodrähten (ND) im Querschnitt auf einem *MultiSOI*-Substrat.

auf einem *MultiSOI*-Substrat bietet genau die erwähnten Vorteile bei der Prozessführung. *MultiSOI*-Wafer bestehen aus mehreren Schichtfolgen von aufeinandergestapeltem BOX und Top-Si. Hergestellt werden diese Substrate beispielsweise für Forschung und Anwendungen der 3D Integration. Bereits zwei solcher Schichtstapel reichen aus, um spannungs-selektive Nanodraht Logik mit frei wählbaren Transistoreigenschaften herzustellen. Der Handle-Wafer dient hierbei lediglich als Trägersubstrat, die untere BOX Schicht isoliert die Backgates elektrisch vom Handle-Wafer. Das hoch dotierte Bottom-Si wird bei der Herstellung eines Nanodrahtes mitstrukturiert,

ähnlich wie es bei der Grabenisolation (shallow-trench-isolation (STI)) [113] mit Hilfe von chemisch mechanischem Polieren (CMP) der Fall ist. Die *SOI* typische Bauelement-Insel, bei der jedes Bauelement vollständig vom anderen isoliert ist bleibt dabei erhalten. Der minimal größere Platzverbrauch durch die Notwendigkeit der Strukturierung des Bottom-Si kann durch den Zugewinn an Flexibilität im späteren Schaltungsdesign ausgeglichen werden. Die Top-Si Schicht wird wie in Kapitel 3.3 zur Herstellung der CMOS-NDFETs beschrieben prozessiert.

Da *MultiSOI*-Wafer momentan kurzfristig nicht verfügbar sind und die durchgeführte Anzahl an Versuchen eine Vielzahl dieser Substrate erfordert hätte wurde auf Standard UNIBOND Material zurückgegriffen. Die nötige Backgatespannung wird durch eine speziell angefertigte Messplatine zur Verfügung gestellt. So entsteht virtuell ein *MultiSOI*-Wafer auf dem die elektrischen Eigenschaften einfacher Logik, beispielsweise eines Inverters, charakterisiert und untersucht werden können.

5.2 Aufbau der Messplattform für spannungs-selektive Logik

Der Messaufbau für spannungs-selektive Logik soll im Folgenden beschrieben werden. Eine Fotografie des Messboards und der zur Charakterisierung verwendeten Komponenten findet sich in Abb. 5.3. Links im Bild ist eine Übersicht über die Messplatine zu sehen und auf der rech-

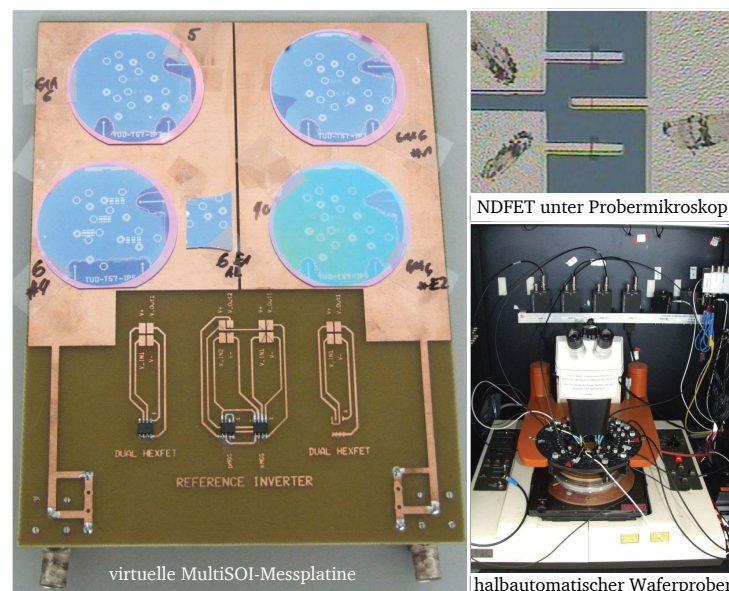


Abbildung 5.3: Virtuelle *MultiSOI* Messplatine mit den zur elektrischen Charakterisierung nötigen Komponenten.

ten Seite die zugehörigen Einzelkomponentendarstellungen. Die Messplatine besteht aus zwei Hälften, eine für P-NDFETs, die andere für N-NDFETs. Die zu vermessenden Substrate werden

mit Tesafilm auf der Platine befestigt, die korrespondierende Backgatespannung wird über BNC Buchsen (an die Kupferelektroden) eingekoppelt. Die Source/Drain- und Gateanschlüsse liegen an der Oberseite der aufgeklebten Wafer, die Pad Strukturen zur Kontaktierung (Abb. 5.3 rechts oben) werden mit Nadeln des Wafer-Probers (Abb. 5.3 rechts unten) kontaktiert. Dies entspricht elektrisch dem gleichen Aufbau wie in Abb. 5.2 beschrieben. Gerade in diesem frühen Stadium der Forschung und Entwicklung der CMOS-NDFET Prototypen ist diese Hybrid-Variante zur Vermeidung von *MultiSOI*-Wafers vorteilhaft, da der enorme Prozessaufwand deutlich reduziert werden kann.

5.3 Elektrische Charakterisierung eines frei konfigurierbaren Nanodraht-Inverters

Verschaltet man zwei NDFETs wie in Abb. 5.2 gezeigt mit Hilfe der Messplatine aus Abb. 5.3 sowie Kontaktierung der Source/Drainkontakte und der Frontgateelektrode mit Probernadeln auf dem Wafer, so lässt sich als einfachstes Logikglied eine CMOS Inverterschaltung aufbauen. Da der Transistortyp (P-NDFET oder N-NDFET) durch das Anlegen einer entsprechenden Backgatespannung gewählt werden kann, ist hier keine Unterscheidung zwischen den gewählten NDFETs im Voraus nötig. Erst durch das Anlegen der Selektionsspannung am Backgate wird der Transistor zu einem P-NDFET oder N-NDFET programmiert. Abb. 5.4 zeigt die Abhängigkeit der CMOS Inverter-Transferkennlinie von der Höhe der angelegten Backgatespannung. An je einem NDFET

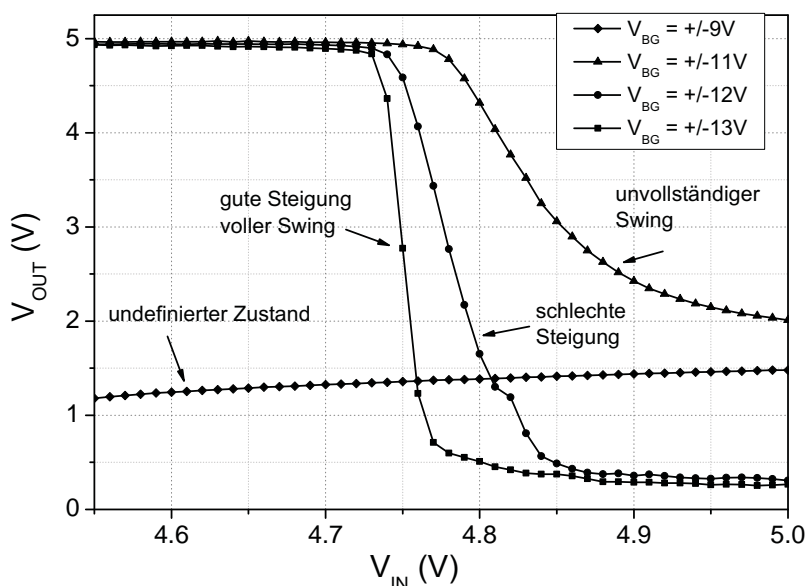


Abbildung 5.4: Abhängigkeit der CMOS-NDFET Inverter-Transferkennlinie von der angelegten Backgatespannung. NDFETs der vierten Generation.

wird die gegensätzlich polarisierte Backgatespannung angelegt, um den P- und den N-NDFET zu definieren. Den Eingangsanschluss bilden die beiden Frontgateelektroden der NDFETs. Wird

ein hoher Eingangsspannungspegel, logisch '1' angelegt, so befindet sich der P-NDFET im ausgeschalteten Zustand, der N-NDFET im eingeschalteten Zustand, und zieht den Ausgangspegel auf niedriges Potential, logisch '0'. Der umgekehrte Fall tritt ein sobald die Eingangsspannung auf einen niedrigen Pegel gesenkt wird (logisch '0'), der N-NDFET sperrt und der P-NDFET leitet, am Ausgang liegt hohes Versorgungsspannungspotential, abzüglich der Spannung die über dem P-NDFET abfällt (logisch '1'). Wird eine kritische Backgatespannung unterschritten, so kann der durch die Backgatesteuerung bereitgestellte Kanal, der für die Substrattypauswahl des NDFET zuständig ist, nicht gebildet werden, beziehungsweise es können keine Ladungsträger aus den Schottky-Barrieren in den Kanalbereich tunneln ($V_{BG} \leq |10V|$). Ein undefinierter Zustand tritt ein, keine Inverterfunktion ist beobachtbar. Wird die Spannung erhöht, so durchläuft die Transferkennlinie nicht den vollständigen Versorgungsspannungsbereich ($V_{BG} \leq |12V|$). Der N-NDFET ist in diesem Fall noch nicht komplett ausgebildet, da hier zunächst Löcher der geringen P-Typ Substratdotierung von der Grenzfläche des vergrabenen Oxides verdrängt werden müssen, um die Bildung des Elektronenkanals zuzulassen, der für den N-NDFET Betrieb unerlässlich ist. Eine weitere Erhöhung der Spannung verbessert die Steilheit des Schaltvorganges bis zu der, durch die Unterschwellensteigung der Transistoren vorgegebenen Maximalsteigung.

Eine mit CMOS-NDFETs erzeugte Inverter-Transferkennlinie mit unsymmetrischer Versorgungsspannungsbeschaltung ist in Abb. 5.5 dargestellt. Die unsymmetrische Beschaltung des Inverters mit $V_{DD} = 2V$ und $V_{CC} = 0V$ ergibt eine Inversion des Eingangssignals zwischen diesen beiden Spannungspegeln. Der Transferpunkt ist um die Einsatzspannung des N-NDFET $V_{T,N-NDFET} = -1,75V$ verschoben. Der charakteristische Querstrom I_{CC} zeigt direkt am Transferpunkt einen Maximalwert welcher indiziert, dass es sich nicht um einen Inverter mit Widerstandslast handelt sondern das tatsächlich ein CMOS Inverter vorliegt. Der Querstrom ist in diesem Fall sehr niedrig, da N-NDFETs der vierten Generation wegen technologischer Probleme nur sehr wenig Ausgangsstrom aufwiesen, wie in Kapitel 4 beschrieben.

Gleichermaßen funktioniert der NDFET-Inverter auch bei symmetrischer Versorgungsspannung. Dies zeigt Abb. 5.6. Auch hier ist durch den Querstrom I_{CC} belegt, dass ein echter CMOS Inverter vorliegt und kein Inverter mit Widerstandslast.

Abb. 5.7 zeigt einen Inverter der letzten Bauelementgeneration. Die iterativ in den Herstellungsprozess eingebrachten Verbesserungen zeigen eine deutliche Erhöhung des Querstromes und somit auch die Fähigkeit weitere Logikstufen zu betreiben, wie es für komplexere Schaltungsanwendungen erforderlich ist. Die Backgatespannung des N-NDFET wurde in diesem Fall abgesenkt, um möglichst gleiche Ausgangskennlinien der einzelnen NDFETs zu erhalten. Gleichen sich die Transistorparameter beider NDFETs, so liegt der Transferpunkt des Inverters exakt bei $V_{IN} = V_{DD}/2$, unterscheiden sich die Transistorparameter, wie im Falle der hergestellten Prototypen (vergleiche beispielsweise die line-edge-roughness in Abb. 3.19), so weicht der Transfer-

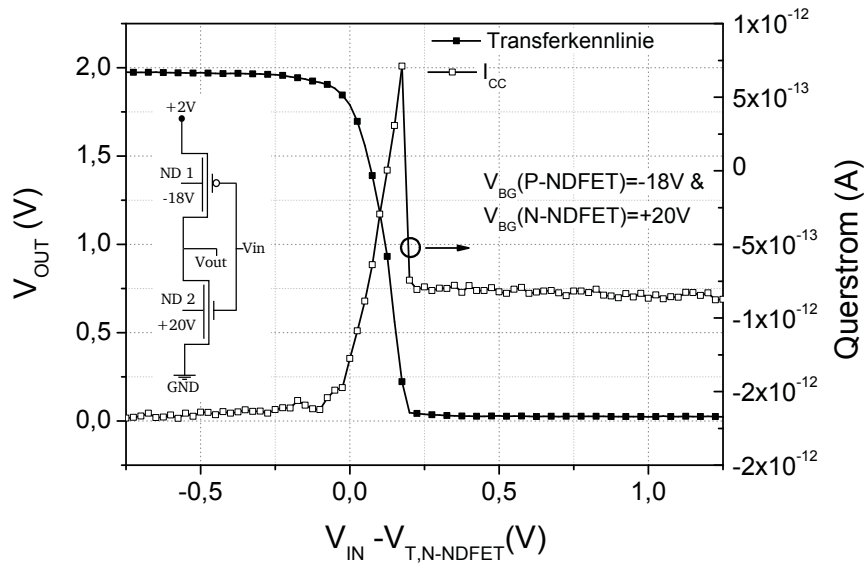


Abbildung 5.5: CMOS-NDFET Inverter-Transferkennlinie mit Querstrom mit unsymmetrischer Versorgungsspannungsbeschaltung, $V_{DD} = 2V$, $V_{CC} = GND$. NDFETs der vierten Generation.

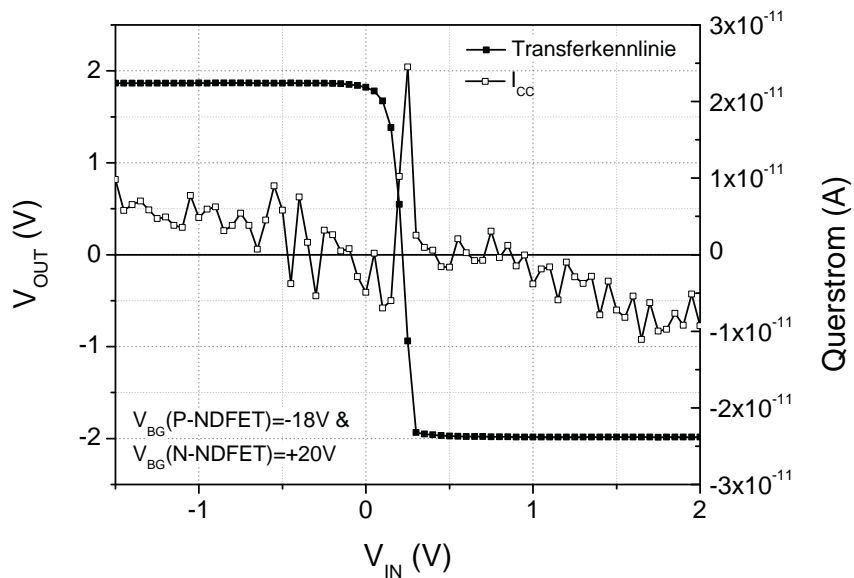


Abbildung 5.6: CMOS-NDFET Inverter-Transferkennlinie mit Querstrom mit symmetrischer Versorgungsspannungsbeschaltung, mit $V_{DD} = 2V$ und $V_{CC} = -2V$ und Querstrom. NDFETs der vierten Generation.

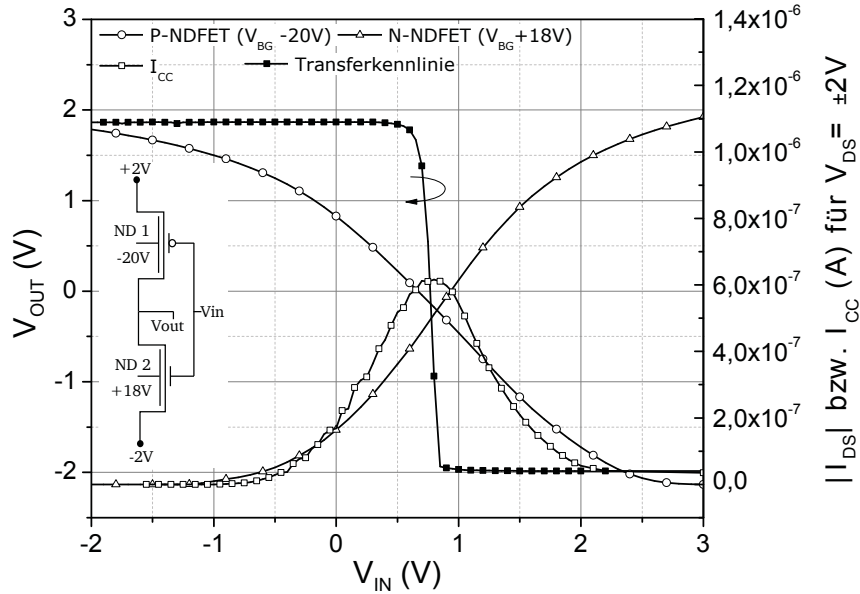


Abbildung 5.7: CMOS-NDFET Inverter-Transferkennlinie mit Querstrom mit unsymmetrischer Versorgungsspannungsbeschaltung, $V_{DD} = 2V$, $V_{CC} = -2V$. Zusätzlich sind die Eingangskennlinien der Einzelbauelemente dargestellt. NDFETs der siebten Generation.

punkt leicht von $V_{DD}/2$ ab. Die Abweichung beträgt, bedingt durch Technologietoleranzen bei der Herstellung, im vorliegenden Fall in etwa $V_{DD}/2 \pm 150mV$. Wird die Versorgungsspannung der NDFETs verändert, so verschiebt sich die Transferkennlinie des Inverters wesentlich deutlicher als bei konventionellen CMOS Invertiern, siehe Abb. 5.8, da die Schwellspannung $V_{T,P/N-NDFET}$ der Einzelbauelemente deutlich von der Versorgungsspannung V_{DD} abhängen (vergleiche Kapitel 4). Der Transferpunkt der Inverterkennlinie ist für Bauelemente der vierten Generation über die bereits erwähnte Schwellspannung des N-NDFETs $V_{T,N-NDFET} = 1,75V$ in Beziehung zu bringen: $V_{Transfer} = V_{DD} - V_{T,N-NDFET}$. Die Verwendbarkeit des CMOS-NDFET Invertertechnologieansatzes für rekonfigurierbare Logik ist in Abb. 5.9 dargestellt. Die gefüllten Symbole zeigen die elektrische Charakterisierung einer Inverterkennlinie in der Nanodraht 1 per Selektionsspannung als P-NDFET definiert wurde und Nanodraht 2 als N-NDFET. Direkt nach der Messung wurde die Polarität der Backgatesteuerung der beiden, den Inverter bildenden, CMOS-NDFETs umgedreht, die offenen Symbole zeigen diese Messung. Nanodraht 1 ist nun N-NDFET und Nanodraht 2 wird zum P-NDFET. Ebenso wird die Versorgungsspannung angepasst, sodass am P-NDFET immer das positive (symmetrische Beschaltung) oder das betragsmäßig höhere Potential (unsymmetrische Beschaltung) anliegt. Die Parametervariation während der Herstellung bedingt, den zwischen den zwei charakterisierten Transferkennlinien, auftretenden Versatz. Trotzdem kann gut erkannt werden, dass eine direkte Umschaltung der Bauelemente während des Betriebes zwischen den Messungen verändert werden kann, und die Funktionalität des Inverters erhalten bleibt. Versuche zur Herstellung von gebondeten Schaltungen auf Basis von spannungs-selektiven CMOS-NDFETs finden sich in Anhang B.

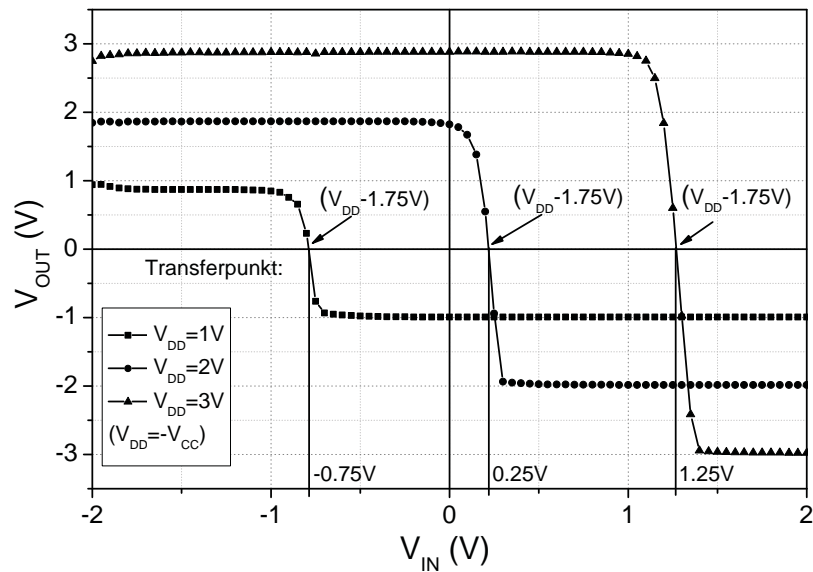


Abbildung 5.8: Abhängigkeit des CMOS-NDFET Inverter-Transferpunktes von dessen Versorgungsspannung. NDFETs der vierten Generation.

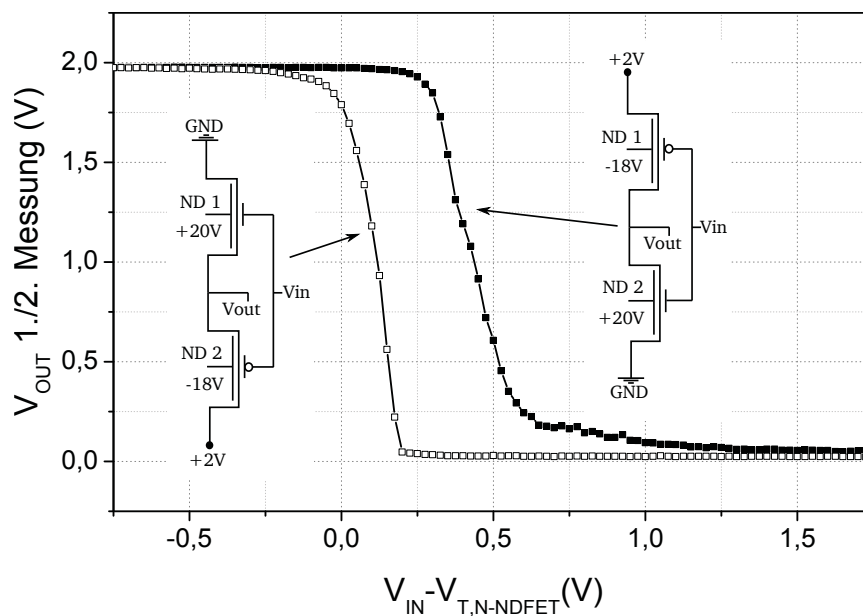


Abbildung 5.9: Demonstration des frei konfigurierbaren NDFET Logik-Ansatzes am Beispiel eines CMOS-Inverters. Zwei Inverter-Transferkennlinien mit den gleichen NDFETs, dazwischen Umpolung der Backgatespannung. NDFETs der vierten Generation.

Wichtige Schlussfolgerung: Durch Verschalten mehrerer CMOS-NDFETs kann eine digitale Logik aufgebaut werden, die durch Anlegen der Backgatespannung frei konfigurierbar ist.



Kapitel 6

Zusammenfassung und Ausblick



6.1 Zusammenfassung

Die hergestellten CMOS-NDFETs und die präsentierten Messergebnisse wurden mit Hilfe von Bauelement Simulationssoftware abgeglichen und eine Modellvorstellung des Bauelementes entwickelt. So konnte der Leitungsmechanismus des Bauelementes erarbeitet und verifiziert werden. Der Transistor kann mit Hilfe zweier ineinandergreifender Transistoren modelliert werden, wobei einer für die Bereitstellung des benötigten Ladungsträgerkanals, der Andere für die Ein- und Ausschaltcharakteristik verantwortlich ist. Insgesamt wird das Schaltverhalten der NDFETs also von einem Enhancement-mode Backgatekanal und einer Depletion-mode Frontgate-Raumladungszone in Kopplung miteinander bestimmt. Insgesamt wurden sieben Generationen von Bauelementen bezüglich des Layouts, der Prozessführung und den eingesetzten Schottky-Source/Drain-Dioden Metallen iterativ verbessert. Die freie Einstellbarkeit der Schwellensteigung und der davon abhängenden Transkonduktanz der NDFETs, gepaart mit einer hervorragenden Temperaturfestigkeit der Transistorcharakteristik, unterstreichen das Potential der hergestellten NDFETs. Durch die Abstimmbarekeit der Transistorkennlinie mit Hilfe der Front- und Backgatespannung ist der Ansatz auch für analoge Schaltungstechnik interessant, da der Arbeitspunkt nicht mehr nur über einen, sondern über zwei Parameter eingestellt werden kann. Das Hauptziel der vorliegenden Arbeit, Lösungswege für neuartige Bauelemente und Funktionalitäten zu entwickeln, die für zukünftige Schaltungsanwendungen relevant sein können, wurde somit erreicht. Weltweit wurden erstmals Nanodraht-Transistoren auf Siliziumbasis vorgestellt, deren Transistor-Typ durch Anlegen einer Selektionsspannung ausgewählt werden kann. Der verwendete Herstellungsprozess ist kompatibel zur herkömmlichen Silizium-Technologie, die heute Anwendung in der Herstellung nanoelektronischer Bauelemente findet. Somit kann in bestehenden CMOS-Technologieplattformen durch Einbringung der CMOS-NDFET Technologie ein Funktionsmehrwert erreicht werden. Umfangreiche Untersuchungen der elektrischen Eigenschaften bei verschiedenen Betriebsbedingungen wurden durchgeführt um die zugrunde liegenden physikalischen Funktionsmechanismen der NDFETs zu erfassen. Letztlich wurde nachgewiesen, dass NDFETs in der CMOS-Logik einsetzbar sind, indem eine voll funktionsfähige, frei konfigurierbare Inverterschaltung aufgebaut wurde.

6.2 Ausblick

Eine tragende Rolle fällt bei dem hergestellten NDFET dem Schottky-Kontakt (vergleiche Kapitel 2.3) als Ersatz für per Dotierung hergestellte Source/Drain Gebiete zu. Schottky-Dioden haben Vorteile gegenüber konventionellen Source/Drain Gebieten, da die für die Schaltgeschwindigkeit von Transistoren wichtige Zeitkonstante $\tau = R_{S/D} \cdot C_{RLZ,S/D}$ von Schottky-Dioden deutlich niedriger ist als die der PN-Übergänge konventioneller MOSFETs. Während dieser Arbeit wurde als geeigneter Kandidat Nickel (Ni) identifiziert. Es reagiert bereits bei niedriger Temperatur (300°C bis 600°C) mit Silizium zu Nickelsilizid (Ni_xSi_y) und bildet einen 'mid-gap' Übergang, was bedeutet, es kann als Gateelektrode sowohl für N-Typ, als auch für P-Typ Transistoren verwendet werden. Als Ersatz für die hohe Dotierung am Source und Drain Übergang eines konventionellen Transistors ist es jedoch nicht geeignet. Die Austrittsarbeitsdifferenz liegt bei $\phi_M \approx 4,7\text{eV}$ [114]. Ohne Modifikation ist es weder für Source/Drain Gebiete konventioneller PMOS noch NMOS geeignet, hier kämen Materialien wie Platinsilizid [115] für N-Typ Silizium (PMOS), sowie Erbiumsilyd [116] für P-Typ Silizium (NMOS) in Frage. Diese Materialsysteme erzeugen sehr kleine bis nahezu gar keine Schottky Barriere (ca. 0,25eV) mit dem verwendeten Substrat. Problematisch, gerade aus wirtschaftlicher Sicht, ist das begrenzte Vorkommen dieser Materialien. Der Einsatz kostengünstiger Metalle ist somit wünschenswert. Zusätzlich sollten die verwendeten Materialien prozesskompatibel zur Siliziumplanartechnik sein - was bereits einen großen Teil an Metallen mit theoretisch exzellenter Austrittsarbeitsdifferenz ausschließt. Nickelsilizid wird für konventionelle Transistortypen erst durch Einstellung der Austrittsarbeitsdifferenz für Source und Drain Kontakte interessant - dies funktioniert bis heute nur für NMOS Transistoren nach [114], wobei die Austrittsarbeit für Elektronen hierbei von $\phi_{B,n} = 0,65\text{eV}$ auf ca. $\phi_{B,n,\text{tuning}} = 0,07\text{eV}$ sinkt. Allerdings ist das Einstellen der Austrittsarbeitsdifferenz mit erhöhter Prozesskomplexität verbunden. Verunreinigte Si-Oberflächen sind erforderlich, zum Beispiel mit Schwefelionen [117], allerdings ist bis heute (Februar 2011) die Einstellung der Austrittsarbeit für PMOS Transistoren noch nicht gelungen. Der vorliegende Ansatz erfordert eben gerade einen 'mid-gap' Schottky-Kontakt als Garant für die Selektierbarkeit des Ladungsträgertyps. Das exakte Einstellen der Schottky-Barrierrhöhe ist allerdings auch für Nickelsilizid prozesstechnisch nicht trivial, da unerwünschterweise 'fermlevel-pinning' auftritt. Eine mögliche Lösung wäre die Entkoppelung des Metalls von der Halbleiteroberfläche, was als 'de-pinning' bezeichnet wird [118, 119, 60]. Hierbei wird eine durchtunnelbare Isolatorschicht zwischen Metall und Halbleiter eingefügt um das zumeist durch Verunreinigungen auftretende 'fermlevel-pinning' zu unterbinden. Die einzufügende Schicht muss hierbei so dünn sein, dass direktes Tunneln der Ladungsträger ohne Beeinflussung gewährleistet wird. Eine Schicht aus zwei Monolagen SiN_x , welches per thermischer Nitrierung hergestellt wurde, erzeugt hierbei bis dato die besten in der Literatur bekannten Ergebnisse [120]. Allerdings

muss bei dieser Methode auf den Einsatz von Siliziden verzichtet werden, was den Serienwiderstand der Source und Drain Gebiete negativ beeinflussen kann. Die Herstellbarkeit solcher Tunnelnitride ist mit der am IHTN verfügbaren technologischen Ausstattung nach Modifikation einer Kurzzeitemperanlage möglich und könnte als Vorlage zur weiteren Verbesserung der elektrischen Charakteristika der vorgestellten NDFETs dienen. Zudem wäre die bemerkenswerte Temperaturunabhängigkeit der Bauelemente durch Veränderung des, das Silizid bedeckenden, Metalls (bisher Aluminium) eine weiterer Ansatzpunkt für fortführende Untersuchungen.



Anhang A:

3D Simulation des CMOS-NDFET Kanalbereiches

3D SIMULATION DER LÖCHERDICHTEN IM KANALGEBIET DES P-NDFET

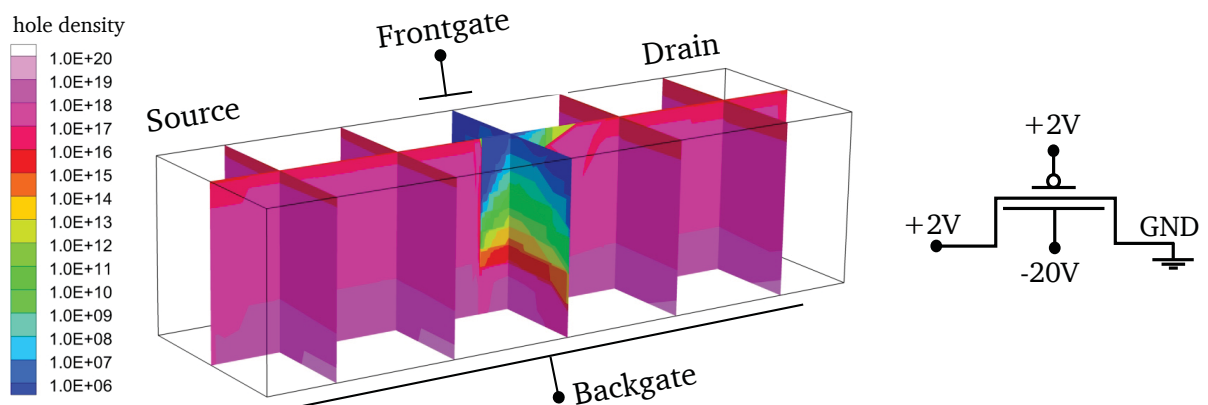


Abbildung A.1: 3D Simulation der Löcherdichte des P-NDFET im Unterschwellenbereich kurz vor dem Einschalten. $V_{BG} = -20V$, $V_{DS} = +2V$, $V_{FG} = +2V$.

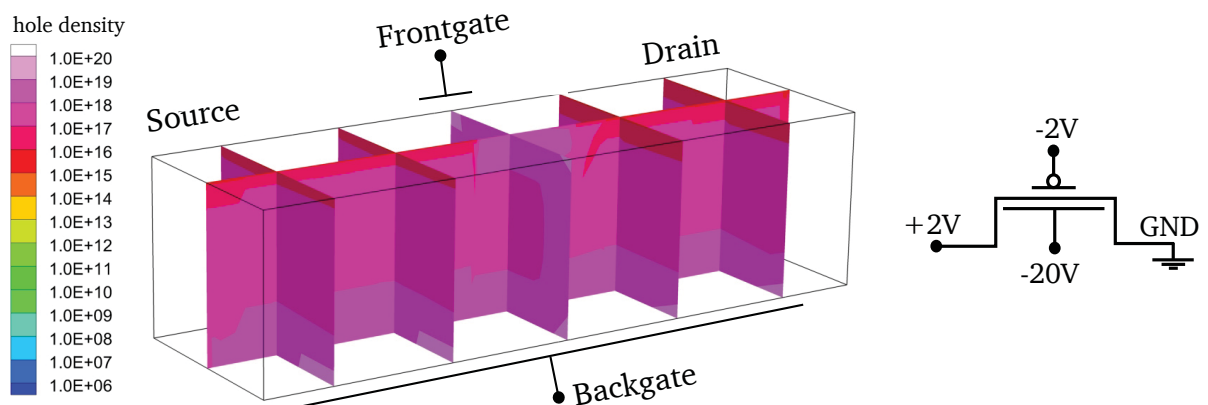


Abbildung A.2: 3D Simulation der Löcherdichte des P-NDFET im eingeschalteten Zustand. $V_{BG} = -20V$, $V_{DS} = +2V$, $V_{FG} = -2V$.

3D SIMULATION DER ELEKTRONENDICHTE IM KANALGEBIET DES N-NDFET

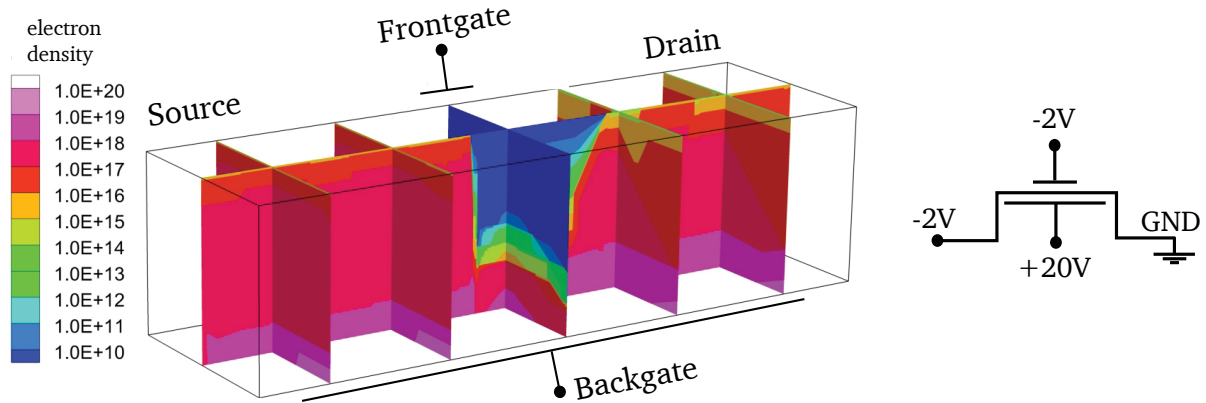


Abbildung A.3: 3D Simulation der Elektronendichte des N-NDFET im Unterschwellenbereich kurz vor dem Einschalten. $V_{BG} = +20V$, $V_{DS} = -2V$, $V_{FG} = +2V$.

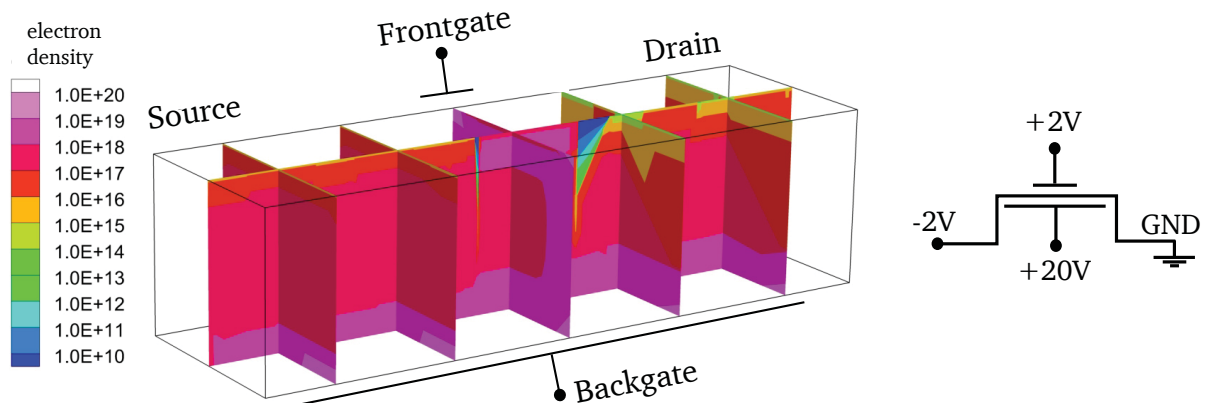


Abbildung A.4: 3D Simulation der Elektronendichte des P-NDFET im eingeschalteten Zustand. $V_{BG} = +20V$, $V_{DS} = -2V$, $V_{FG} = +2V$.

Anhang B:

Entwicklung eines Verbindungstechnik-Prozesses zur Demonstration von NDFET-Logik

Die in Kapitel 5.3 beschriebene Inverterschaltung wurde der Einfachheit halber direkt auf Substratebene mit Hilfe einer Messplatine realisiert. Für den Aufbau komplexer Schaltungen zur Demonstration des CMOS-NDFET Logikansatzes ist dies unpraktikabel, da nur eine begrenzte Anzahl an Messspitzen für die Kontaktierung der Kontaktpads auf der Waferoberfläche zur Verfügung steht. Verbindungstechniken wie Bonding und Packaging werden nötig, um mehrere Bauelemente miteinander zu verbinden.

So wurde ein Verbindungstechnik-Prozess entwickelt, der die sehr kleinen Kontaktpad-Größen von $50\mu m^2$ (vgl. Kapitel 2.9.5), die nicht mit dem IHTN eigenen Verdrahtungssystem kontaktierbar sind, modifiziert. Eine Packaging-Maskenebene wurde erstellt und mittels Elektronenstrahl-lithographie auf eine mit Chrom bedampfte Glasplatte aufgebracht. Eine besondere Herausforderung hierbei war der stark begrenzte Platz zwischen den einzelnen Bauelementen. Zwei Maskenrevisionen wurden benötigt, um zufriedenstellende Ergebnissen zu erzielen, da in der ersten Generation zu wenig Fehlertoleranz für die Justage der Maskenebene eingeplant wurde. Das überlagerte EBL-Layout der zweiten Maskengeneration zeigt Abbildung B.1. Rotgefärbt sind

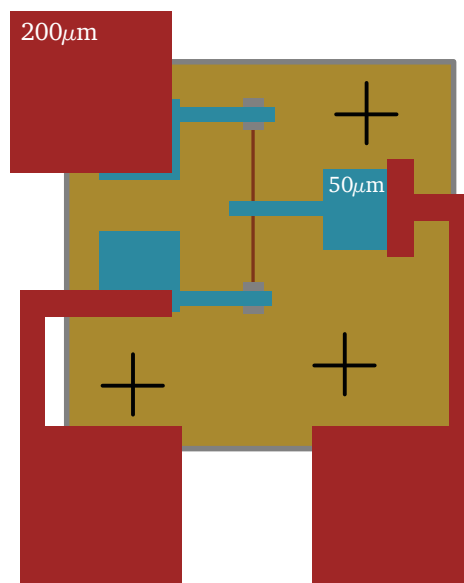


Abbildung B.1: Elektronenstrahlolithographie Layout zur Herstellung von bondbaren Kontaktfeldern.

die bondbaren Kontaktpads gekennzeichnet, sie besitzen eine viermal so große Fläche wie die unterliegenden Pads, dies stellt für die Golddrahtkontaktierung das absolute Minimum an Strukturgröße dar. Ideal wären Kontaktfeldgrößen ab $500 \times 500 \mu m^2$, dies ist aber ohne eine weitere

Maskenebene nicht zu erreichen. Die Strukturübertragung der Maske auf den ausgesägten Chips erfolgte mit Hilfe eines Lift-Off Lithographieschrittes. Anschließend wurden 500nm Aluminium per Aufdampfverfahren aufgebracht und der Lack entfernt. Es entstand durch den Unterschnitt ein sauberer Aluminium-Kantenabriss, der definierte Strukturen für den Golddrahtbonder ermöglichte. Das verwendete, Ultraschall unterstützte, Bonding System zeigt Abbildung B.2. Die

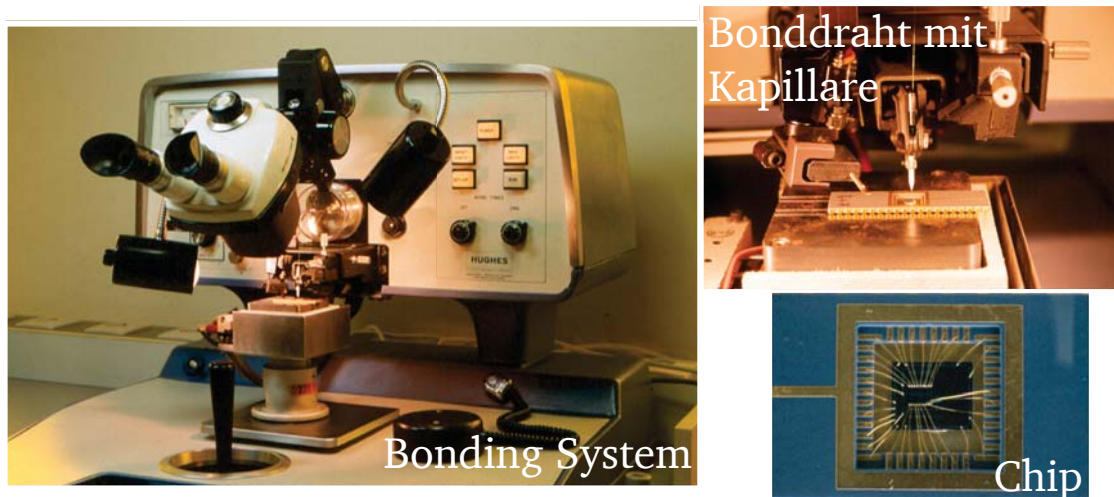


Abbildung B.2: Photographie des Ultraschall-Golddraht-Bonders. Rechts oben: Ausschnittsvergrößerung der Bondkapillare mit Golddraht, rechts unten: gebondeter Chip in DIL-Gehäuse.

Photographie zeigt links eine Übersicht über des Verdrahtungs-System mit Lupe und verfahrbarem Trägerelement für verschiedene Chipgehäuse - im hier vorliegenden Fall ein DIL40 Gehäuse. Rechts oben ist der Golddraht zu erkennen, er misst lediglich $25\mu\text{m}$ im Durchmesser. Bevor er auf den Chip gepresst wird durchläuft er eine Keramikkapillare, die den Draht an der Spitze fixiert. Das Endprodukt, den verdrahteten Chip im Gehäuse, zeigt die Mikroskopaufnahme unten rechts.

Der Verbindungsprozess läuft in mehreren Stufen ab. Zunächst wird der Bereich des Substrates, der in ein Gehäuse verbracht werden soll, zugeschnitten und mit Zwei-Komponenten-Silberleitkleber in das Gehäuse eingeklebt. Das Gehäuse wird auf dem Tisch des Verdrahtungssystems verbracht und dort auf 180°C erhitzt, um eine bessere Verbindung des Metalls auf dem Chip mit dem Golddraht zu ermöglichen. Nach dem Anfahren der zu verbindenden Stelle - zur Feinjustage wird ein Laserpunkt auf die Oberfläche projiziert - wird der Golddraht unter Druck und mit einem Ultraschallimpuls von 250ms Dauer auf die Oberfläche gepresst. Der Draht wird anschließend auf dem Gehäuse ebenso verschweißt und es entsteht eine elektrische Verbindung zwischen Chip und Gehäuse.

Die begrenzte Möglichkeit der Vergrößerung des Kontaktfeldes auf dem Chip erlaubte lediglich die Kontaktierung jedes zweiten Bauelementes. Dies verdeutlicht Abb. B.3. Allerdings zeigten

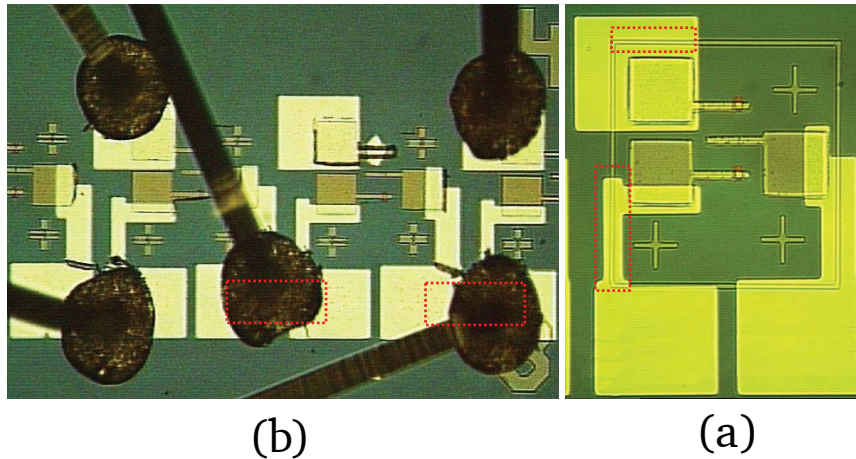


Abbildung B.3: Mikroskop-Aufnahmen zur Verbindungstechnik. (a) Verdrahtete Bauelemente mit Überlappung des Golddrahtes (rot), (b) Überlappung der Verdrahtungsmetallisierung auf die Ebene des Handle-Wafers (rot).

selbst fehlerfrei kontaktierte Bauelemente, siehe Abb. B.3 (a), keine messbare elektrische Funktion. Dies kann zweierlei Ursachen haben. Zum Einen kann der verwendete Ultraschallimpuls die unmittelbar benachbarten Nanodrähte bis zur Resonanz in Schwingung bringen und somit mechanisch zerstören. Zum Anderen sind Bereiche im Layout erkennbar, siehe Abb. B.3 (b), die vom Metall überlappt werden (hier der Rahmen um das Schreibfeld) und einen Kurzschluss zum Handle-Wafer bilden.

Das Einfügen einer Pufferschicht zwischen Chip und Verdrahtungsmetallisierung könnte all diese Probleme mit einem einzigen zusätzlichen Maskenschritt lösen. Mögliche Pufferschichten wären beispielsweise Photolack oder, aufgrund der besseren Haftungseigenschaften für das zu verdrahtende Aluminium, PECVD-Oxid mit einer Dicke von $d_{\text{PECVD-Oxid}} \geq 500\text{nm}$. Zeitgleich zur Isolation der Verdrahtungskontaktfelder von der Substratoberfläche wäre eine örtliche Fixierung der Nanodrähte gesichert.

Die hier identifizierten Probleme und die vorgeschlagene Prozesserweiterung könnte für zukünftige Untersuchungen von Nutzen sein.



Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Halbleitertechnik und Nanoelektronik (IHTN) der Technischen Universität Darmstadt. Fünf Jahre intensiver Beschäftigung mit der Halbleitertechnologie von Halbleiterbauelementen der Nanoelektronik neigen sich dem Ende und ein Lebensabschnitt wird beschlossen.

Für die Unterstützung bei der Anfertigung dieser Arbeit gilt mein Dank zunächst meinem Doktorvater, Herrn Prof. Dr. rer. nat. Udo Schwalke, der mich immer wieder in der Wahl meines Forschungsthemas bestärkt hat. Auch für das gute Arbeitsklima im Institut gilt ihm mein Dank.

Herrn Prof. Dr.-Ing. Wolfgang Krautschneider danke ich für sein Interesse an meiner Arbeit und für die Übernahme des Korreferats. Den Herren Prof. Dr.-Ing. Rolf Jakoby und Prof. Dr. rer. nat. Wolfgang Donner danke ich für ein anregendes Disputationsgespräch sowie Herrn Prof. Dr. rer. nat. Andy Schürr für die Übernahme des Vorsitzes der Prüfungskommission.

Herrn Dipl.-Ing. Tino Ruland danke ich für seine Zeit während der Einarbeitung in die komplexe Thematik der Elektronenstrahlolithographie. Herrn cand. wirtsch.-Ing. Tillmann Krauss danke ich für seinen unermüdlichen Einsatz in der elektrischen Messtechnik. Frau Dr.-Ing. Lorraine Rispal und Herrn Dr.-Ing. Ralf Endres danke ich für viele Stunden ergiebiger Diskussionen über aufgetretene Probleme. Allen weiteren Kolleginnen und Kollegen des Instituts danke ich für die umfassende Unterstützung, vielfach auch weit über das Arbeitsverhältnis hinaus.

Abschließend gilt besonderer Dank meinen Eltern, die durch ihre Unterstützung in meiner Schul- und Studienzeit eine Promotion erst möglich gemacht haben. Zu guter Letzt gilt ein besonderer Dank auch meiner zukünftigen Frau Juliane - durch ihre Unterstützung wurde vieles leichter.



Liste der Publikationen und Konferenzbeiträge

Publikationen

- 1 F. Wessely, T. Krauss, U. Schwalke, 'CMOS without dopants: Voltage configurable MultiGate Si-Nanowire Field-Effect-Transistors', Solid State Electronics, in press (2011) - invited
- 2 F. Wessely, T. Krauss, U. Schwalke, 'Multi-Gate Voltage Selectable Silicon-Nanowire-FETs', Proceedings of the Seventh Workshop of the Thematic Network on Silicon on Insulator technology, devices and circuits (EuroSOI), pp. 41-42, (2011) - invited
- 3 F. Wessely, T. Krauss, R. Endres and U. Schwalke, 'Novel Application of Wafer-Bonded MultiSOI: Junctionless Nanowire Transistors for CMOS Logic', Transactions of the Electrochemical Society (ECS), Vol. 33(4), pp. 169-173, (2010)
- 4 F. Wessely, T. Krauss and U. Schwalke, 'Dopant-Independent and Voltage-Selectable Silicon-Nanowire-CMOS Technology for Reconfigurable Logic Applications', Proceedings of the ESSDERC 2010, pp. 356-358, (2010)
- 5 R. Endres, T. Krauss, F. Wessely and U. Schwalke, 'Damascene TiN-Gd₂O₃-Gate Stacks: Gentle Fabrication and Electrical Properties', Microelectronic Engineering, (2010)
- 6 R. Endres, F. Wessely and U. Schwalke, 'CMP-based Gate Last High-K Integration', Proceedings of The 11th Annual Workshop on Semiconductor Advances for Future Electronics and SENSORS (SAFE), pp. 544-547, (2008)
- 7 R. Endres, Y. Stefanov, F. Wessely, F. Zaunert, U. Schwalke, 'Process damage-free damascene metal gate technology for gentle integration of epitaxially grown high-k', Microelectronic Engineering, 85, pp. 15-19 (2008)
- 8 F. Wessely, L. Rispal, U. Schwalke, 'Mix-and-match Lithography Based Ultrathin-body SOI Nanowires and Schottky-S/D-FETs', Proceedings of Semiconductor Advances for Future Electronics (SAFE) - Workshop, pp. 478-481, (2007)
- 9 L. Rispal, T. Ruland, Y. Stefanov, F. Wessely, U. Schwalke, 'Conductive AFM Measurements on Carbon Nanotubes and Application for CNTFET Characterization', ECS Trans., vol. 3, pp. 441-448, (2006)
- 10 L. Rispal, Y. Stefanov, F. Wessely, U. Schwalke, 'Carbon Nanotube Transistor Fabrication Assisted by Topographical and Conductive Atomic Force Microscopy', Japanese Journal of Applied Physics, pp. 3672-3679, (2006)

Vorträge

- 11 P. J. Ginsel, F. Wessely, U. Schwalke, 'CVD Assisted Fabrication of Graphene Layers for Field Effect Device Fabrication', 6th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 06.04. - 08.04.2011, Athens, (Greece)
- 12 F. Wessely, T. Krauss, U. Schwalke, 'Multi-Gate Voltage Selectable Silicon-Nanowire-FETs', Proceedings of the Seventh Workshop of the Thematic Network on Silicon on Insulator technology, devices and circuits, EuroSOI, 17.01. - 19.01.2011, Granada, (Spain)
- 13 F. Wessely, T. Krauss and U. Schwalke, 'Dopant-Independent and Voltage-Selectable Silicon-Nanowire-CMOS Technology for Reconfigurable Logic Applications', The 40th European Solid-State Device Research Conference - ESSDERC, 13. - 17.09.2010, Seville (Spain)
- 14 F. Wessely und U. Schwalke, 'Junction-less Nanowire CMOS Technology on Multi-SOI Wafer' VDE-Fachgruppentagung 8.5.6 - fWLR / Wafer Level Reliability, Zuverlässigkeits - Simulation & Qualifikation, 17./18.05.2010, Erfurt
- 15 F. Wessely, T. Krauss, R. Endres and U. Schwalke, 'Dopant Free Multi-Gate Silicon Nanowire CMOS-Inverter on SOI Substrate', 5th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 23.03. - 25.03.2010, Hammamet, Tunesien
- 16 R. Endres, T. Krauss, F. Wessely and U. Schwalke, 'Gentle Gate Last Integration and Electrical Characterization of TiN/Gd2O3/Si MOS Capacitors and Field Effect Transistors', 40th IEEE Semiconductor Interface Specialists Conference (SISC), 03.12. - 05.12.2009, Arlington, VA, USA
- 17 R. Endres, T. Krauss, F. Wessely and U. Schwalke, 'Damascene Metal Gate Technology for Damage-free Gate-Last High-K Process Integration', 2009 International Conference on Signals, Circuits and Systems (SCS'09), 06.11. - 09.11.2009, Djerba, Tunesien
- 18 F. Wessely, R. Endres and U. Schwalke, 'Down-Scaling of the Damascene Metal Gate Integration Process via Electron Beam Lithography', 2009 International Conference on Signals, Circuits and Systems (SCS'09), 06.11. - 09.11.2009, Djerba, Tunesien
- 19 R. Endres, T. Krauss, F. Wessely and U. Schwalke, 'Damascene TiN-Gd2O3-Gate Stacks: Gentle Fabrication and Electrical Properties', 6th International Symposium on Advanced Gate Stack Technology, 22.08. - 26.08.2009, San Francisco, Kalifornien, USA
- 20 R. Endres, F. Wessely and U. Schwalke, 'CMP-based Gate Last High-K Integration', 11th Annual Workshop on Semiconductor Advances for Future Electronics and SENSORS (SAFE), 27.11. - 28.11.2008, Veldhoven, Niederlande

-
- 21 F. Wessely, T. Ruland, U. Schwalke, 'Fabrication and characterisation of nanoscale Schottky-S/D-MOSFETs and gated nanowire devices on ultra thin body SOI material', European Congress on Advanced Materials and Processes (EUROMAT) 07, Nürnberg, Germany, September 10-13, 2007
 - 22 L. Rispal, T. Ruland, F. Wessely, and U. Schwalke, 'Characterization of Carbon Nanotube Field Effect Transistor (CNTFET) Fabrication Process by Atomic Force Microscopy (AFM) and Conductive-AFM', in Euromat 2007, Nürnberg (Germany), 2007.
 - 23 L. Rispal, T. Ruland, Y. Stefanov, F. Wessely, U. Schwalke, 'Conductive AFM Measurements on Carbon Nanotubes and Application for CNTFET Characterization', 210th Meeting of The Electrochemical, Cancun, Mexico, October 29 - November 3, 2006
 - 24 R. Endres, Y. Stefanov, F. Wessely, F. Zaunert and U. Schwalke, 'Process Damage-Free Damascene Metal Gate Technology for Gentle Integration of Epitaxially Grown High-K Gate Dielectrics', IEEE EDS 3rd International Symposium on Advanced Gate Stack Technology (ISAGST), Austin, Texas, USA, September 27- 29, 2006
 - 25 L. Rispal, F. Wessely, Y. Stefanov, T. Ruland, U. Schwalke, 'CMOS-compatible Fabrication Process of Carbon-Nanotube-Field-Effect Transistors', IEEE EDS Workshop on Advanced Electron Devices (Micro- and Nano Devices), June 13 - 14, 2006, Fraunhofer-Institute IMS, Duisburg, Germany

Poster

- 26 P. J. Ginsel, F. Wessely, E. Birinci, U. Schwalke, 'Bla', Graphene 2011, 11.04. - 14.04.2011, Bilbao (Spain)
- 27 F. Wessely, T. Krauss, R. Endres and U. Schwalke, 'Novel Application of Wafer-Bonded MultiSOI: Junctionless Nanowire Transistors for CMOS Logic', 218th Meeting of the Electrochemical Society (ECS), 10. - 15.10.2010, Las Vegas (USA)
- 28 F. Wessely, L. Rispal, and U. Schwalke, 'Mix-and-match Lithography Based Ultrathin-body SOI Nanowires and Schottky-S/D-FETs,' in 10th Annual Workshop on Semiconductor Advances for Future Electronics and Sensors (SAFE), Veldhoven (The Netherlands), 2007.
- 29 L. Rispal, Y. Stefanov, F. Wessely, and U. Schwalke, 'Atomic Force Microscopy and Electrical Characterization of Carbon Nanotube Devices Fabricated by Chemical Vapor Deposition,' in Seeing at the Nanoscale III, Santa Barbara (USA), 2005.



Liste der betreuten Studien- und Diplomarbeiten

- **S 256** V. Pedrero: Optimierung von state-of-the-art Plasmaätzprozessen für sub-100nm Strukturen. 2006
- **S 257** S. Sängler: Prozesssimulation und Herstellung von Nanowires auf SOI Substraten. 2007
- **D 245** H. Yang: Skalierung eines Damascene-Metal-Gate-Last-Prozesses mittels Elektronenstrahl-Lithographie. 2008
- **D 246** T. A. Krauss: Elektrische Charakterisierung, Simulation und Backend-Prozessierung von Si-Nanodraht Π -Multi-Gate FET-Prototypen auf SOI-Substrat. 2011



Literaturverzeichnis

- [1] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, 1965.
- [2] J. E. Lilienfeld, *Device for controlling electric current*, US Patent US1900018. 1925.
- [3] D. Kahng and M. M. Atalla, "Silicon-silicon dioxide surface device," 1960.
- [4] A. Ochoa, W. Dawes, and D. Estreich, "Latch-up control in CMOS integrated circuits," *IEEE Transactions On Nuclear Science*, vol. 26, pp. 5065–5068, 1979.
- [5] C. L. Yaws, L. Dickens, and R. Lutwack, "Semiconductor industry silicon - physical and thermodynamic properties," *Solid State Technology*, vol. 24, pp. 87–92, 1981.
- [6] Y. Okada and Y. Tokumaru, "Precise determination of lattice-parameter and thermal-expansion coefficient of silicon between 300K and 1500K," *Journal of Applied Physics*, vol. 56, pp. 314–320, 1984.
- [7] H. M. Manasevit and W. I. Simpson, "Single-crystal silicon on sapphire substrate," *Journal of Applied Physics*, vol. 35, p. 1349 ff, 1964.
- [8] T. I. Kamins and P. J. Marcoux, "Hydrogenation of transistors fabricated in polycrystalline-silicon films," *IEEE Electron Device Letters*, vol. 1, pp. 159–161, 1980.
- [9] S. W. Depp, B. G. Huth, A. Juliana, and A. W. Koepcke, "Grain boundaries in semiconductors," in *Materials Research Society Symposium Proceedings*, vol. 5, p. 297 ff, 1982.
- [10] N. M. Johnson, D. K. Biegelson, and H. C. Tühan, "Single-crystal silicon transistors in laser-crystallized thin-films on bulk glass," *IEEE Electron Device Letters*, vol. 3, pp. 369–372, 1982.
- [11] D. Bensahel, M. Haond, and D. P. Vu, "Halogen lamp recrystallization of silicon on insulating substrates," *Journal of Applied Physics*, vol. 54, pp. 437–439, 1983.
- [12] G. K. Celler, H. Leamy, and L. E. Trimble, "Annular grain structures in pulsed laser recrystallized Si on amorphous insulators," *Applied Physics Letters*, vol. 39, pp. 425–427, 1981.
- [13] J. F. Krieg, C. J. Neerman, and M. W. Savage, "Comparison of total dose effects on a voltage reference fabricated on bonded-wafer and polysilicon isolation," *IEEE Transactions On Nuclear Science*, vol. 47, pp. 2561–2567, 2000.
- [14] K. Sugahara, S. Kusunoki, Y. Inoue, T. Nishimura, and Y. Akasaka, "Orientation control of the silicon film on insulator by laser recrystallization," *Journal of Applied Physics*, vol. 62, p. 4178 ff, 1987.
- [15] R. P. Zingg, B. Hoefflinger, and G. W. Neudeck, "High quality dual-gate PMOS devices in local overgrowth (LOG)," *Electronics Letters*, vol. 25, pp. 1009–1011, 1989.

-
- [16] A. Ogura and Y. Fujimoto, "Novel technique for Si epitaxial lateral overgrowth - tunnel epitaxy," *Applied Physics Letters*, vol. 55, pp. 2205–2207, 1989.
- [17] H.-S. Wong, K. Chang, Y. Lee, P. Roper, and Y. Taur, "Ultra-thin, highly uniform thin film SOI MOSFET with low series resistance using pattern-constrained epitaxy (PACE)," *IEEE Symposium on VLSI Technology Digest of Technical Papers*, pp. 94–95, 1996.
- [18] G. K. Teal, "Single crystals of germanium and silicon - basic to the transistor and integrated circuit," *IEEE Transactions On Electron Devices*, vol. ED-23, pp. 621–639, 1976.
- [19] K. Imai, "A new dielectric isolation method using porous silicon," *Solid-State Electronics*, vol. 24, pp. 159–164, 1981.
- [20] L. Nesbit, "Advances in oxidizes porous silicon for SOI," in *International Electron Devices Meeting*, vol. 30, pp. 800–803, 1984.
- [21] M. I. J. Beale, N. G. Chew, and A. G. Cullis, "A study of silicon MBE on silicon substrates," *Journal of Vacuum Science and Technology B*, vol. 3, pp. 732–735, 1985.
- [22] K. Yamabe, K. Taniguchi, and Y. Matsushita, "Thickness dependence of dielectric breakdown failure of thermal SiO₂ films," in *21st Reliability Physics Symposium*, pp. 184–190, 1983.
- [23] T. Yonehara, K. Sakaguchi, and N. Sato, "Epitaxial layer transfer by bond and etch back of porous Si," *Applied Physics Letters*, vol. 64, pp. 2108–2110, 1994.
- [24] K. Izumi, M. Doken, and H. Ariyoshi, "CMOS devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon," *Electronics Letters*, vol. 14, pp. 593–594, 1978.
- [25] K. Izumi, "History of SIMOX material," *Materials Research Society*, vol. 23, p. 20 ff, 1998.
- [26] S. Nakaschima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Imai, K. Izumi, and N. Ohwada, "Thickness increment of buried oxide in a SIMOX wafer by high-temperature oxidation," in *Proceedings of IEEE International SOI Conference*, pp. 71–74, 1994.
- [27] U. Hilleringmann, *Siliziumhalbleitertechnologie*. Teubner B.G. GmbH, 2004.
- [28] A. G. Revesz and H. L. Hughes, "Physical and technical problems of SOI structures and devices," *NATO ASI Series - High Technology*, vol. 4, p. 133 ff, 1995.
- [29] P. L. F. Hemment, "The SOI odyssey," *Proceedings of the Electrochemical Society*, vol. 5, p. 1 ff, 2003.
- [30] SOITEC, http://www.soitec.com/en/products/pdf/SOI_products_Thin.pdf. SOITEC S.A., 2010.
- [31] U. Goesele, M. Reiche, and Q.-Y. Tong, "Properties of SIMOX and bonded SOI material," *Microelectronic Engineering*, vol. 28, pp. 391–397, 1995.
- [32] R. Stengl, T. Tan, and U. Goesele, "A model for the silicon wafer bonding process," *Japanese Journal of Applied Physics*, vol. 28, pp. 1735–1741, 1989.

-
- [33] Q.-Y. Tong and U. Goesele, *Semiconductor Wafer Bonding, Science and Technology*. The Electrochemical Society Series, J. Wiley and Sons, 1999.
- [34] S. D. Collins, "Etch stop techniques for micromachining," *Journal of the Electrochemical Society*, vol. 144, pp. 2242–2262, 1997.
- [35] M. Bruel, "Silicon-on-insulator material technology," *Electronics Letters*, vol. 31, pp. 1201–1202, 1995.
- [36] M. Bruel, *Process for the production of thin semiconductor material films*. US Patent 5,374,564, 1994.
- [37] J. Grisolia, G. Ben Assayag, A. Claverie, B. Aspar, C. Lagahe, and L. Laanab, "A transmission electron microscopy quantitative study of the growth kinetics of H platelets in Si," *Applied Physics Letters*, vol. 76, pp. 852–854, 2000.
- [38] T. Technologies, http://www.soitec.com/en/products/pdf/Tracit_application_specific_substrates.pdf. SOITEC, 2007.
- [39] L. Dreeskornfeld, J. Hartwich, L. E., W. Luyvken, W. Roesner, S. T, M. Staedele, D. Schmitt-Landsiedel, and L. Risch, "Comparison of partially and fully depleted SOI transistors down to the sub 50nm gate length regime," in *203rd Meeting of the ECS*, (Paris (France)), 2003.
- [40] P. H. Woerlee, A. J. Walker, and A. L. J. Burgmans, "P-channel devices for half-micron CMOS: advantages of high-energy channel implantations," in *IEEE International Conference on Systems and Applications of VLSI Technology*, pp. 213–216, 1989.
- [41] R. B. Hulfachor, K. W. Kim, M. A. Littlejohn, and C. M. Osburn, "Comparative analysis of hot electron injection and induced device degradation in scaled 0.1 micron SOI N-MOSFETs using Monte Carlo simulation," *IEEE Electron Device Letters*, vol. 17, pp. 53–55, 1996.
- [42] J.-Y. Tsai, K. X. Zhang, and C. M. Osburn, "Optimization of lightly-doped-drain (LDD) structure for sub-quarter-micron devices using statistical design and response surface methodology," in *IEEE International Conference on Systems and Applications of VLSI Technology*, pp. 285–290, 1995.
- [43] A. C. Lamb, L. S. Riley, S. Hall, V. D. Kunz, C. H. d. Groot, and P. Ashburn, "A 50nm channel vertical MOSFET concept incorporating a retrograde channel and a dielectric pocket," in *Proceedings of the ESSDERC*, pp. 347–350, 2001.
- [44] R. Joshi and K. Roy, "Design of deep sub-micron CMOS circuits," in *IEEE International Conference on VLSI Design*, pp. 15–16, 2003.
- [45] J. Mizsei, "Fermi-level pinning and passivation on the oxide-covered and bare silicon surfaces and interfaces," in *Proceedings of the Symposium on Vacuum based Science and Technology*, 2002.
- [46] E. Bucher, S. Schulz, M. C. Lux-Steiner, P. Munz, U. Gubler, and F. Greuter, "Work function and barrier heights of transition metal silicides," *Applied Physics A*, vol. 40, pp. 71–77, 1986.
- [47] J.-P. Colinge, *Silicon-on-insulator technology: Materials to VLSI: 3rd Edition*. Kluwer Academic Publishers, 2004.

-
- [48] P.-F. Lu, C.-T. Chuang, J. Ji, L. F. Wagner, C.-M. Hsieh, J. Kuang, L. L.-H. Hsu, M. M. Pelella, S.-H. S. Chu, and C. J. Anderson, "Floating-body effects in partially depleted SOI CMOS circuits," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1241–1253, 1997.
- [49] D. J. F. Doyle and W. A. Lane, "Improved bipolar-transistor performance in CMOS by novel use of parasitic collector resistance," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 619–623, 1990.
- [50] A. Siligaris, G. Dambrine, and D. Schreurs, "130-nm partially depleted SOI MOSFET nonlinear model including the kink effect for linearity properties investigation," *IEEE Transactions On Electron Devices*, vol. 52, pp. 2809–2812, 2005.
- [51] H. K. Lim and J. G. Fossum, "Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFETs," *IEEE Transactions On Electron Devices*, vol. 30, pp. 1244–1251, 1983.
- [52] D. Flandre and F. Van de Wiele, "Second-order analytical modeling of thin-film SOI MOSFETs," in *Proceedings of the IEEE International SOS/SOI Technology Conference*, pp. 27–28, 1989.
- [53] M. M.-H. Iqbal, Y. Hong, P. Garg, F. Udrea, P. Migliorato, and S. J. Fonash, "The nanoscale silicon accumulation-mode MOSFET - a comprehensive numerical study," *IEEE Transactions On Electron Devices*, vol. 55, pp. 2946–2959, 2008.
- [54] J.-P. Colinge, "Conduction mechanisms in thin-film accumulation-mode SOI P-channel MOSFETs," *IEEE Transactions On Electron Devices*, vol. 37, pp. 718–723, 1990.
- [55] J.-P. Colinge, "Subthreshold slope of thin-film SOI MOSFETs," *IEEE Electron Device Letters*, vol. 7, pp. 244–246, 1986.
- [56] H.-S. Wong, D. Frank, Y. Taur, and J. Stork, "Design and performance considerations for sub 0.1micron double-gate SOI MOSFETs," *Proceedings of the IEDM*, pp. 747–750, 1994.
- [57] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "High-performance fully depleted silicon nanowire (diameter <5nm) gate-all-around CMOS devices," *IEEE Electron Device Letters*, vol. 27, pp. 383–386, 2006.
- [58] J.-T. Park and J.-P. Colinge, "Multiple-gate SOI MOSFETs: device design guidelines," *IEEE Transactions On Electron Devices*, vol. 49, pp. 2222–2229, 2002.
- [59] Z. Ji, J. F. Zhang, and W. Zhang, "An assessment of the mobility degradation induced by remote charge scattering," *Applied Physics Letters*, vol. 95, 2009.
- [60] D. Conelly, C. Faulkner, D. E. Grupp, and J. S. Harris, "A new route to zero-barrier metal source/drain MOSFETs," *IEEE Transactions On Nanotechnology*, vol. 3, pp. 98–104, 2004.
- [61] B. G. Streetman, *Solid State Electronic Devices*. Prentice Hall, 1994.
- [62] D. Conelly, C. Faulkner, and D. E. Grupp, "Optimizing Schottky S/D offset for 25nm dual-gate CMOS performance," *IEEE Electron Device Letters*, vol. 24, pp. 411–413, 2003.

-
- [63] F. Wanlass and C. Sah, "Nanowatt logic using field-effect metal-oxide semiconductor triodes," in *International Solid-State Circuits Conference Digest*, vol. 1, 1963.
- [64] R. C. Jaeger, *Microelectronic Circuit Design*. Mc Graw Hill, 1997.
- [65] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_80.pdf. Gesellschaft fuer chemische Produkte zu Mikrostrukturierung mbH, 2008.
- [66] D. Widmann, H. Mader, and H. Friedrich, *Technologie hochintegrierter Schaltungen*. Springer International Berlin, Heidelberg, New York, 1998.
- [67] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_70-300_72-300_73.pdf. Gesellschaft fuer chemische Produkte zu Mikrostrukturierung mbH, 2008.
- [68] D. Drouin, A. R. Couture, D. Joly, X. Tastet, V. Aimez, and R. Gauvin, "Casino v2.42 - a fast and easy-to-use modeling tool for scanning electron microscopy and microanalysis users," *Scanning*, vol. 29, pp. 92–101, 2007.
- [69] S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI era*. Lattice Press California, 1999.
- [70] B. Wu, A. Kumar, and S. Pamorthy, "High aspect ratio silicon etch: a review," *Journal of Applied Physics*, vol. 108, 2010.
- [71] M. C. Lemme, T. Mollenhauer, H. Gottlob, W. Henschel, J. Efavi, C. Welch, and H. Kurz, "Highly selective HBr etch process for fabrication of triple-gate nano-scale SOI-MOSFETs," *Microelectronic Engineering*, vol. 73-74, pp. 346–350, 2004.
- [72] Balzers, *Betriebsanweisung, Schwingquarz-Schichtdicken-Messgeraet QSG 301*. Aktiengesellschaft fuer Hochvakuumtechnik und Duenne Schichten, 1981.
- [73] Y. A. Alshehri, "Development of a full silicidation (FUSI) process for nickel silicide," 2004.
- [74] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR_P5400.pdf. Gesellschaft fuer chemische Produkte zur Mikrostrukturierung mbH, 2008.
- [75] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_ebeamresist/AR_P7400.pdf. Gesellschaft fuer chemische Produkte zu Mikrostrukturierung mbH, 2008.
- [76] Y. Ke, X. Weng, J. M. Redwing, C. M. Eichfeld, T. R. Swisher, E. Mohny, and Y. M. Habib, "Fabrication and electrical properties of Si nanowires synthesized by Al catalyzed vapour-liquid-solid growth," *Nano Letters*, vol. 9, pp. 4494–4499, 2009.
- [77] H. W. Seo, C.-S. Han, W. S. Juang, and J. Park, "Manipulation of carbon nanotubes and nanowires," *Current Applied Physics*, vol. 6, pp. e216–e219, 2006.
- [78] Synopsis, *Taurus TSUPREM-4 User Guide, Version Z-2007.03*. <http://solvnet.synopsis.com>, 2007.
- [79] Synopsis, *Taurus MEDICI User Guide, Version Y-2007.03*. <http://solvnet.synopsis.com>, 2007.

-
- [80] H. Tanaka, T. Isogai, and T. Goto, “Low contact resistivity with low silicide/p(+)-silicon Schottky barrier for high-performance P-channel metal-oxide-silicon field effect transistors,” *Japanese Journal of Applied Physics*, vol. 49, 2010.
- [81] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_ebeamresist/AR_N7500-7520.pdf. Gesellschaft fuer chemische Produkte zu Mikrostruktureierung mbH, 2008.
- [82] J. Dubochet, J.-J. Chang, R. Freeman, J. Lepault, and A. W. McDowell, “Frozen aqueous suspensions,” *Ultra-microscopy*, vol. 10, pp. 55–61, 1982.
- [83] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_40.pdf. Gesellschaft fuer chemische Produkte zur Mikrostrukturierung mbH, 2009.
- [84] D. Rugar and P. Hansma, “Atomic force microscopy,” *Physics Today*, vol. October 1990, pp. 23–30, 1990.
- [85] G. Binnig, C. Rohrer, C. Gerber, and E. Weibel, “7x7 reconstruction on Si(111) resolved in real space,” *Physics Review Letters*, vol. 50, 1983.
- [86] U. Huebner, W. Morgenroth, H. G. Meyer, T. Sulzbach, B. B., and W. Mirande, “Downwards to metrology in nanoscale: determination of the AFM tip shape with well-known sharp-edged calibration structures,” *Applied Physics A*, vol. 76, pp. 913–917, 2003.
- [87] Olympus, *analySIS SEM Software*. Soft Imaging Systems GmbH, 2002.
- [88] J. Foggiano, W. S. Yoo, M. Ouaknine, T. Murakami, and T. Fukada, “Optimizing the formation of nickel silicide,” *Materials Science and Engineering B*, vol. 114-115, pp. 56–60, 2004.
- [89] R. P. O’Grady, “The ‘pinch’ resistor in integrated circuits,” *Microelectronics Reliability*, vol. 7, pp. 233–236, 2003.
- [90] A. Colli, S. Pisana, A. Fasoli, J. Robertson, and A. C. Ferrari, “Electronic transport in ambipolar silicon nanowires,” *Solid State Physics B*, vol. 244, pp. 4161–4164, 2007.
- [91] K. Byon, D. Tham, E. J. Fischer, and A. T. Johnson, “Systematic study of contact annealing: ambipolar silicon nanowire transistor with improved performance,” *Applied Physics Letters*, vol. 90, 2007.
- [92] W. M. Weber, L. Geelhaar, F. Kreupl, E. Unger, H. Riechert, G. Scarpa, and P. Lugli, “Ambipolar transport in Si-nanowire transistors,” in *Nanotech*, 2009.
- [93] S.-M. Koo, Q. Li, M. D. Edelstein, C. A. Richter, and E. M. Vogel, “Enhanced channel modulation in dual-gated silicon nanowire transistors,” *Nano Letters*, vol. 5, pp. 2519–2523, 2005.
- [94] H. Ghoneim, J. Knoch, H. Riel, D. Webb, M. T. Bjoerk, S. Karg, E. Loertscher, H. Schmid, and W. Riess, “Suppression of ambipolar behaviour in metallic source/drain metal-oxide-semiconductor field-effect transistors,” *Applied Physics Letters*, vol. 95, 2009.
- [95] R. Martel, V. Derycke, C. Lavoie, J. Appenzeller, K. K. Chan, J. Tersoff, and P. Avouris, “Ambipolar electrical transport in semiconducting single-wall carbon nanotubes,” *Phys. Rev. Lett.*, vol. 87, pp. 256805–1–4, 2001.

-
- [96] Y.-M. Lin, J. Appenzeller, and P. Avouris, "Ambipolar-to-unipolar conversion of carbon nanotube transistors by gate structure engineering," *Nano Letters*, vol. 4, pp. 947–950, 2004.
- [97] Y.-M. Ling, J. Appenzeller, J. Knoch, and P. Avouris, "High-performance carbon nanotube field-effect transistor with tunable polarities," *IEEE Transactions On Nanotechnology*, vol. 4, pp. 481–489, 2005.
- [98] S. Haiping and X. Qiuxia, "Two-step Ni silicide process and influence of protective nitrogen gas," *Journal of Semiconductors*, vol. 30, 2009.
- [99] R. Sauer, *Halbleiterphysik*. Oldenbourg Verlag Muenchen, 2009.
- [100] W. W. Y. Chow, M. K. Wong, W. J. Li, and K. W. Wong, "Rapid fabrication of CNT sensors using electrochemical deposition of functionalized CNTs," in *International Conference on Nano/Micro Engineered and Molecular Systems*, pp. 507 – 510, 2007.
- [101] A. E. Wickenden, T. Brintlinger, and M. S. Fuhrer, "Electrical probing of single-wall carbon nanotubes suspended over trenches," in *5th IEEE Conference on Nanotechnology*, vol. 1, p. 430, 2005.
- [102] J. Kittl, A. Lauwers, O. Chamirian, M. Pawlak, M. Van Dal, A. Veloso, K. Anil, G. Pourtois, M. De Potter, and K. Maex, "Silicides - recent advances and prospects," *Materials for Information Technology, Engineering Materials and Processes*, vol. 1, pp. 85–97, 2005.
- [103] F. Assderaghi, D. Sinitsky, S. A. Parke, J. Bokor, P. K. Ko, and C. Hu, "Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI," *IEEE Transactions On Electron Devices*, vol. 44, pp. 414–422, 1997.
- [104] W. K. Yeh, C. Huang, T. F. Chen, S. M. Hsu, J. Liu, C. Lin, and F. . Liou, "High performance 0.1 um partially depleted SOI CMOSFET," in *IEEE International SOI Conference*, pp. 68–69, 2000.
- [105] F. Gamiz, A. Godoy, F. Jimenez-Molinos, P. Cartujo-Cassinello, and J. B. Roldan, "Remote surface roughness scattering in ultrathin-oxide MOSFETs," in *European Solid-State Device Research Conference Proceedings*, pp. 403 – 406, 2003.
- [106] A. Kranti, R. Yan, C.-W. Lee, I. Ferain, R. Yu, N. D. Akhavan, P. Razavi, and J.-P. Colinge, "Junctionless nanowire transistor (JNT): properties and design guidelines," *Proceedings of the ESSDERC*, pp. 357–360, 2010.
- [107] E. Gnani, S. Reggiani, A. Gnudi, and G. Baccarani, "Steep-slope nanowire FET with a superlattice in the source extension," *Proceedings of the ESSDERC*, pp. 380–383, 2010.
- [108] F. Wessely, T. Krauss, R. Endres, and U. Schwalke, "Dopant free multi-gate silicon nanowire CMOS-inverter on SOI substrate," 2010.
- [109] W. Hoenlein, F. Kreupl, G. S. Duesberg, A. P. Graham, M. Liebau, R. Seidel, and E. Unger, "Carbon nanotubes for microelectronics: status and future prospects," *Material Science Engineering C*, vol. 23, pp. 663–670, 2003.
- [110] F. Wessely, T. Krauss, and U. Schwalke, "Dopant-independent and voltage-selectable silicon-nanowire-CMOS," *Proceedings of the ESSDERC*, pp. 356–358, 2010.

-
- [111] F. Wessely, T. Krauss, R. Endres, and U. Schwalke, "Novel application of wafer-bonded MultiSOI: Junctionless nanowire transistors for CMOS logic," *Transactions of the ECS*, vol. 33, pp. 169–173, 2010.
- [112] F. Wessely, T. Krauss, and U. Schwalke, "Multi-gate voltage selectable silicon-nanowire-fets," *Proceedings of the EuroSOI*, vol. 7, pp. 41–42, 2011.
- [113] G. S. May and M. S. Sze, *Fundamentals of Semiconductor Fabrication*. Wiley & Sons, 2003.
- [114] J. Yuan, G. Z. Pan, Y.-L. Chao, and J. C. S. Woo, "Nickel silicide work function tuning study in metal-gate CMOS applications," *Materials Research Society Proceedings*, vol. 829, 2004.
- [115] M. Jang, J. Oh, S. Maeng, W. Cho, K. Kang, and K. Park, "Characteristics of erbium-silicided N-type Schottky barrier tunnel transistors," *Applied Physics Letters*, vol. 83, pp. 2611–2613, 2003.
- [116] M. Fritze, C. L. Chen, and S. Calawa, "High-speed Schottky-barrier PMOSFET with $f(t)=280\text{ghz}$," *IEEE Electron Device Letters*, vol. 25, pp. 220–222, 2004.
- [117] Q. T. Zhao, E. Rije, U. Bruer, S. Lenk, and S. Mantl, "Optimizing Schottky-S/D offset for 25nm dual-gate CMOS performance," in *Proceedings of the ISSCC*, pp. 456–459, 2004.
- [118] K. M. Buchheit, H. Takeuchi, and T.-J. King, "Properties of ultra-thin thermal silicon nitride," *Materials Research Society Proceedings*, vol. 768, pp. E2.2.1–E2.2.6, 2004.
- [119] D. Conelly, C. Faulkner, P. A. Clifton, and D. E. Grupp, "Fermi-level depinning for low-barrier Schottky source/drain transistors," *Applied Physics Letters*, vol. 88, 2006.
- [120] I. J. R. Baumvol, "Atomic transport during growth of ultrathin dielectrics on silicon," *Surface Science Reports*, vol. 26, pp. 1–166, 1999.

Lebenslauf

Frank Wessely

Geburtsdatum	18.08.1978
Geburtsort	Seeheim-Jugenheim
Staatsangehörigkeit	deutsch

Berufliche Erfahrungen

Seit 2005	Technische Universität Darmstadt, Fachbereich für Elektro- und Informationstechnik, Institut für Halbleitertechnik und Nanoelektronik Promotion zum Dr.-Ing.
bis 1998	Wehrdienst im Fernmeldesektor 125, Karlsruhe

Ausbildung

bis 2005	Studium der Elektrotechnik an der Technischen Universität Darmstadt, Schwerpunkt: Mikroelektronik Abschluss: Diplom-Ingenieur
bis 1997	Grundschule, Mittelstufe, Oberstufe in Hessen, Abschluss: Abitur

Darmstadt, den 31. März 2011